

第5章 抵抗&コンデンサだけのシンプルなDVI表示回路でモニタに直結

FPGAスタータ・キットDE0で研究！ デジタル・ビデオ差動信号

大野城 春日
Kasuga Ohnoji

ディスプレイを取り巻く環境は大きく変わっており、数年前まではアナログRGBでの接続で良かったものが最近ではDVIやHDMIといったデジタル・インターフェースしか持たない機器も増えてきました。しかしDVI/HDMIトランスミッタを使うとせっかくのローコスト/大容量化してきたFPGAのメリットを潰してしまいます。そこでここでは、なるべくコストをかけずにFPGAの標準I/OでDVI/HDMI出力を実現する手法を紹介します。

1. TMDS技術について

DVI/HDMIの概要やTMDSのプロトコルについては、ほかの章で解説されているのでそちらを参照してください。ここでは後述の簡易変換回路の理解に必要な、物理層の電気的仕様について説明します。

● TMDSの物理層

TMDSの物理層は、電流モード・ロジックの一種であるPCML (Pseudo Current Mode Logic) にほぼ準拠した構造を採っています。PCMLは高速スイッチング特性を必要とされるアプリケーションに使用されるI/O規格で、最近ではFPGAのI/Oとしても標準的に搭載されることが多くなりました。消費電力は大きいのですが、エッジ・レートが速いため、最近の数Gbpsの高速インターフェースで多く使われています。

PCMLは同じく高速スイッチングを行うLVDSとよく似た伝送系を持ちます。両者はよく似ていますが、トランスミッタ側で信号線を駆動するLVDSに対して、PCMLではレシーバ側で V_{CC} にプルアップし、トランスミッタ側はオープン・ドレインで信号線を駆動

するという特徴があります。ペアとなっている信号のドライバ同士は定電流で駆動され、信号線を通ってきた電流は共通線を通してレシーバ側へ戻ります。LVDSでは共通線は電流の流れない共通電位を示しますが、PCMLではレシーバ側へ戻る帰還電流が流れる経路になります。このため、厳密にはトランスミッタ側とレシーバ側とで電位差が生まれます(図1)。

伝送系としてはLVDSもPCMLも電流駆動をしますが、このように共通線の扱いが大きく異なります。

● TMDSの電気的仕様

TMDSではケーブル・インピーダンス $100\ \Omega$ 、レシーバ側で3.3Vを供給し、トランスミッタ側で差動のペア信号線を8mA ~ 12mAの定電流駆動します。

トランスミッタ側の出力規格では各信号線につき $V_H = 3.3V \pm 10mV$ 、 $V_L = 2.7 \sim 2.9V$ の規定となっていますが、先述したとおり、PCMLではトランスミッタ側とレシーバ側でそれぞれの基準電位に差が出てしまうのを避けられないため、レシーバ側の入力規格はコモン電位 $V_{icm} = 3.0 \sim 3.26V$ 、ペア信号線間の電位

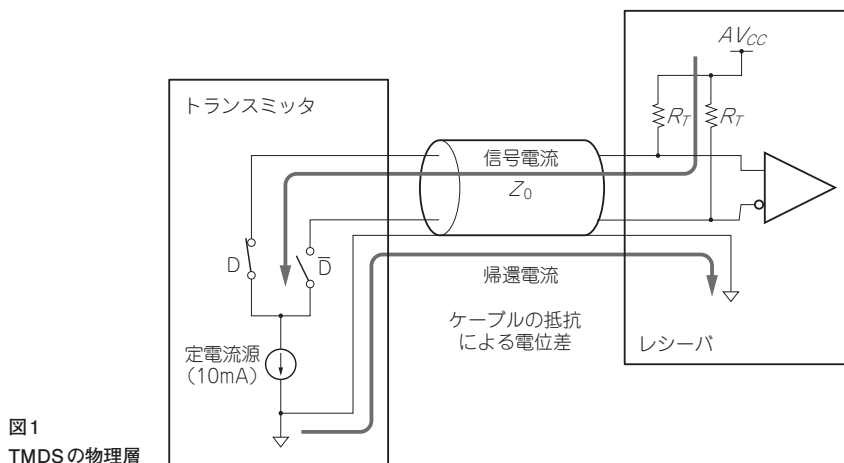


図1
TMDSの物理層