

## 真のトップダウン設計手法により、 DSP アルゴリズムを FPGA/ASIC 上でダイレクトに実現

AccelChip 社が提供する AccelChip DSP Synthesis は、MATLAB で開発したデジタル信号処理 (DSP) アルゴリズムから、FPGA で論理合成可能な RTL をダイレクトに自動生成します。

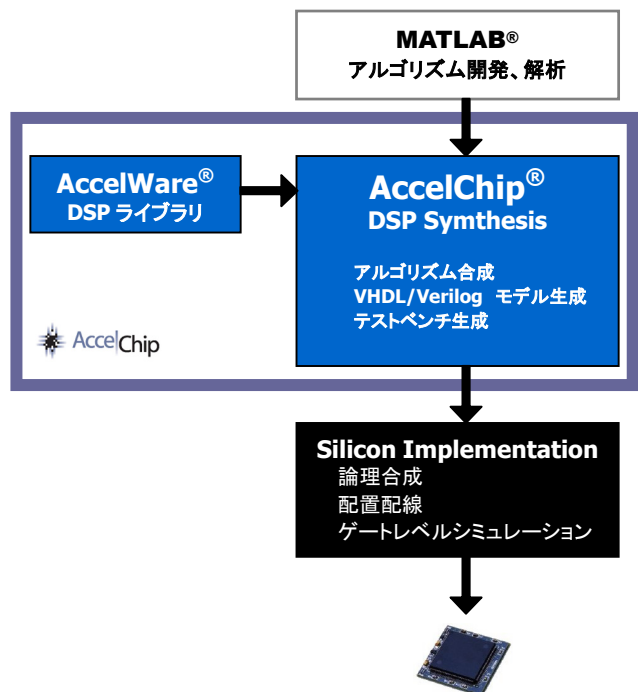
従来、手作業で行われていた MATLAB モデルから RTL モデルへの変換や RTL 及びゲートレベルの検証に必要なテストベンチの生成を AccelChip が自動で行います。これらの機能により、DSP アプリケーションを FPGA/ASIC で実現するための開発時間を飛躍的に短縮することが可能になりました。

また生成された RTL モデルから、Simulink 用のモデルファイルをエクスポートすることができるため、Simulink 環境を使用したシステムレベルでの検証が可能です。

AccelChip のオプションとして提供されます AccelWare ライブラリ (信号処理、通信) は、MATLAB 関数を論理合成可能な RTL モデルに直接マッピングしたり、より大規模な MATLAB モデルに組込んで AccelChip により論理合成することが可能です。

AccelChip 社が提供する AccelWare IP は、その柔軟性のある設計パラメータの設定により、様々な設計要求に対応することができます。

AccelChip を使用することで、デザインの変更がスループット、レイテンシー、リソースの使用状況に与える結果をすばやく得ることができるため、デザインの比較検証等を容易にします。

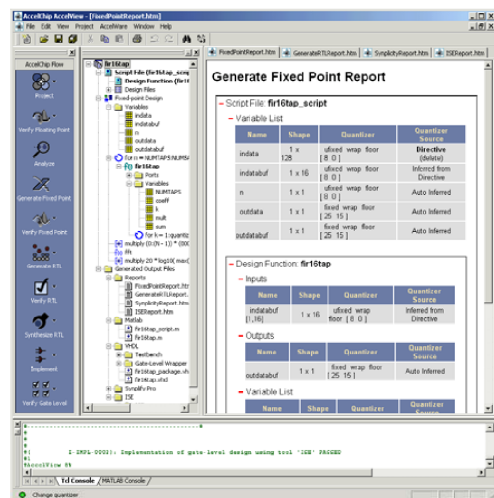


## AccelChip DSP Synthesis を使用したデザインフロー例

- ◎MATLAB による、DSP アルゴリズムの開発、検証(浮動小数点)
- ◎MATLAB スクリプト M-ファイルを解析し、FPGA に実装するファンクションを抽出
- ◎AccelChip 社独自の量子化関数を使用して、固定小数点モデルへ効率的に自動変換(必要ビット幅を自動認識)
- ◎固定小数点モデルを MATLAB で検証する。必要に応じて画面上でデータビット幅等を調整
- ◎RTL (VHDL/Verilog) モデルを自動生成、検証用テストベンチを自動生成
- ◎ベンダー提供の論理合成ツールを使用し、ターゲットデバイス用のネットリストを生成
- ◎ベンダー提供のツールにより配置配線を行う

これらの一連の手順が、AccelChip フローバーに表示された手順に従うだけで実行できます。  
生成されたモジュールは、他の回路ブロックと Data Accept Protocol で接続することができます。

RTL 生成後のデザインフローは、各社が提供していますシミュレーションツール、論理合成ツールへ連携しています。



### Silicon Partners



### EDA Partners



### HIL Partners



\* お問い合わせ \*



〒165-0027 東京都中野区野方 4-44-11 クボデラビル  
 TEL:03-3228-4511 FAX:03-3388-1391  
 システム営業部 佐藤 [sato@kkrocky.com](mailto:sato@kkrocky.com)