

FPGA / PLD用
オンチップデバッグ&検証ツール

DLI™
FPGA

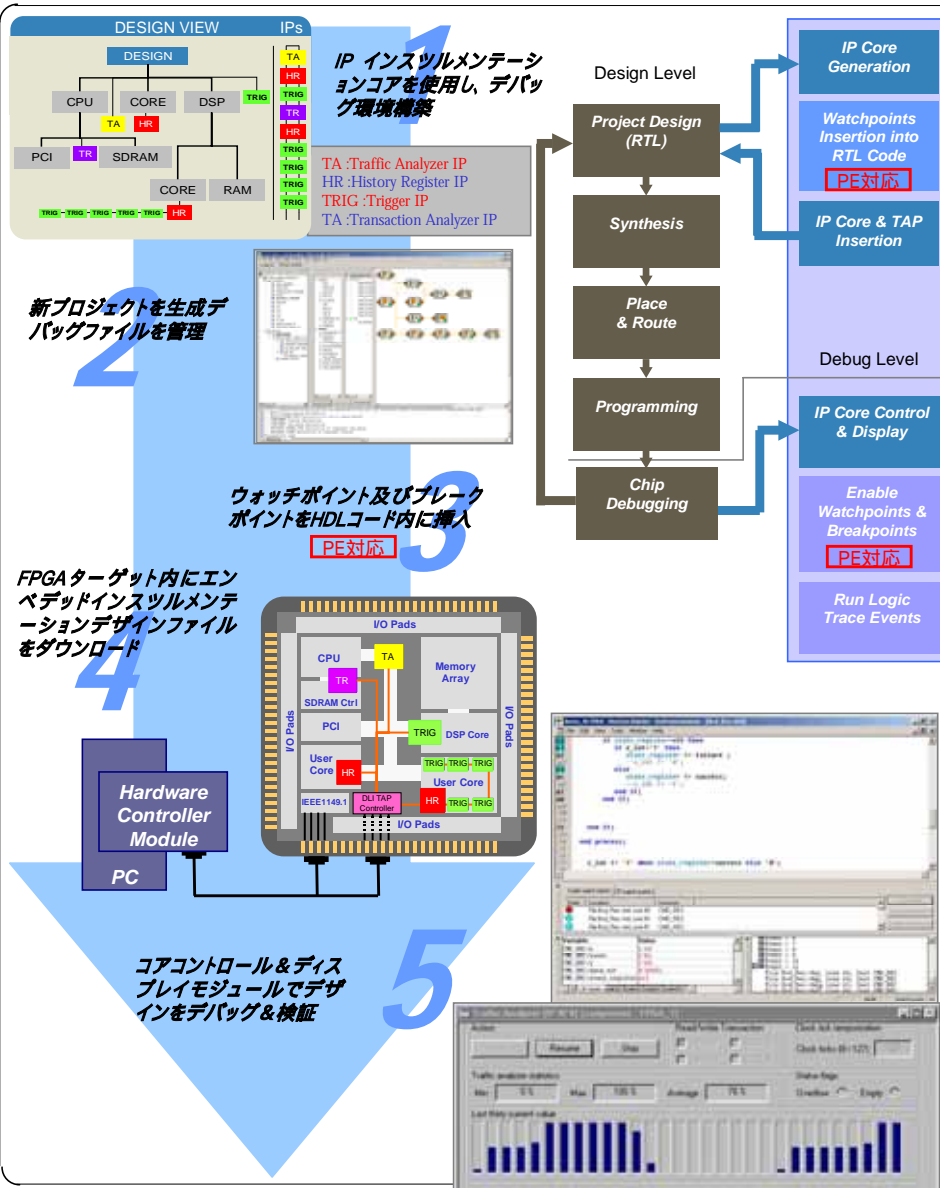
Rev 4.4

Leading Edge Edition

(オンチップ計測・デバッグ)

Power Edge Edition

(RTL検証機能対応)



製品概要

DLIは全てのタイプのFPGA用に、複雑なデザインのモータ及びデバッグの手法オンチップインストールメンテーションツールです。DLI環境で、デザイナーは、DLI IPコアライブラリ内でインストールメンテーションをシームレスに選択することができ、デザイン内に組み込む事が可能です。デザインファイルをダウンロードし、インストールメンテーションを対象FPGAに組み込んだ後、DLIコアコントロール&ディスプレイツールにより、全ての内部信号及びノードの観測、デバッグ、ロジック信号及びトランザクションの解析、バスのモニタ、ロジックイベントの記録が可能。

Power Edge Edition Rev 4.4

Leading Edge エディションの全ての機能にHDLフォールトファインダモジュールを追加。HDLフォールトファインダにより、デザイナーはウォッチポイント及びブレイクポイントをHDLコード内に挿入し、インストールメンテーションを同時に動作させることが可能です。HDLフォールトファインダは、デバッグプロセス間で、正確なモニタリングとロジックイベントの発生を表示を供給します。HDLコード内へウォッチポイントを挿入することにより、全てのイベントをトレースでき、フォールトラインへ素早くフォーカスすることが可能です。

リアルタイム&超高速なオンチップデバッグ

パワフルで広範囲のIPコアにより、DLI™ はハイエンドなFPGAデザインもしくはプロトタイプに基づく対象システムの検証及びデバッグ機能を増加させます。IPコアは、マルチプルトリガコンディションと連結され、一緒に使用することにより、特定のインストールメンテーションを構築し、システムクロックレートでリアルタイムでデータをキャプチャできます。ご使用のBDM (バックグラウンドデバッグモード) のようなツールと容易に接続でき、同時コントロールし、デバッグすることにより、DLIベースのデバッグ手法は、協調デバッグ時間を数ヶ月短縮します。

タイム・ツール・マーケットの削減

DLI™ により、洗練されたエンベデッドテスト、及び新パッケージテクノロジーの物理的なアクセスの挑戦を解決するアップグレードパスを得ることができます。いかなるPLDプラットフォームからも独立していますのでDLI™ ツールはHDL合成ツールを使用した標準のFPGAデザインフローに容易に適用可能でデバッグコスト削減及びタイムツールマーケットによる競争力のあるアドバンテージを得ることができます。

Rev. 4.4 はさらにパワフルな環境でデザインデバッグを支援します!!!

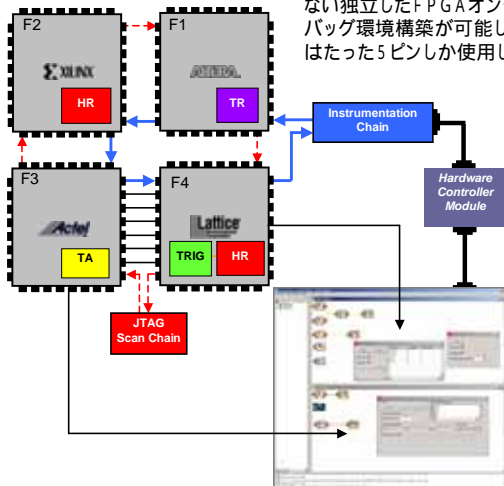
Rev.4.4 ハイライト
(PE,LE共通)

- ・進化したULM IPコントロール&信号観測
- ・LED & Switch IP
- ・Quartus 及びSimplify合成プロジェクトの自動生成
- ・シリアルパラレル擬似ランダムジェネレータを1つに集約
- ・Atmel FPSLIC用SRAMサポート
- ・Actel FPGAにおいて、新たなTAPの代わりに基本TAPの使用

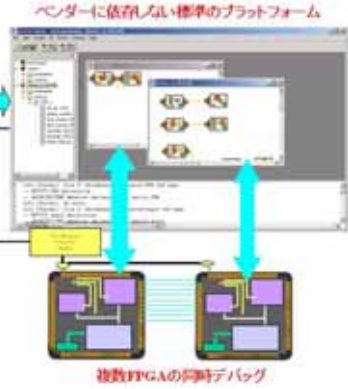
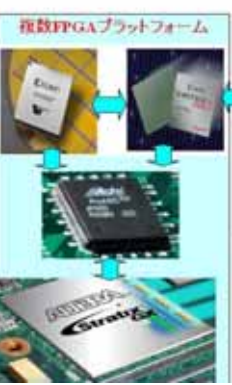
HDL フォールトファインダ(FF) ハイライト

- ・自動及びマニュアルによるウォッチポイント挿入
- ・デバッグフェーズでいかなるウォッチポイントもブレイクポイントへ変換
- ・ブレイクポイントをインストールメンツ上もしくはコード上に設定
- ・ステップ毎にコード実行、記録、表示
- ・同時イベント記録及び表示
- ・インスタンスレベルまでのトレース及びデバッグ機能
- ・ブレイクポイント上での自動トレース表示
- ・波形に対するHDLコードの2重表示

FPGAベンダーや合成ツールに依存しない独立したFPGAオンチップRTLデバッグ環境構築が可能しかも、ピン数はたった5ピンしか使用しません。



複数のプラットフォーム FPGAでの同時デバッグが可能



DLIIはシステム、特にマルチFPGAアーキテクチャが必要な時に、デバッグできる万能のツールです。**合成ツールのベンダーに関係なく**、システム全体をパーティショニング前後に測定することが可能です。

先進の機能により、1個だけのFPGAシステム、もしくは完全なマルチFPGAシステムの計測が可能。しかも**複数のFPGAベンダーのデバイスから構成されていても計測可能です**。インストールメンションは専用のJTAGスキャンチェーンを経由して分配され、コントロールされます。

これにより、複数のデバイス上及び複数クロックドメイン上で同期デバッグ及び計測が可能になるという、類を見ない機能が可能になりました。

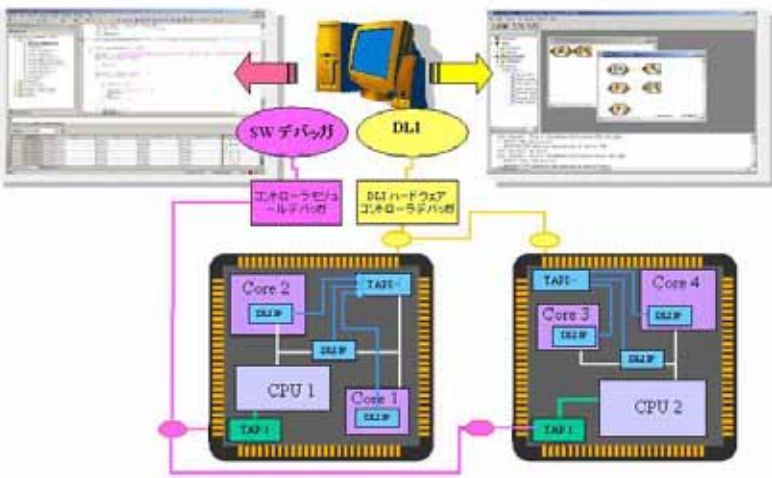
DLIIは、FPGAからFPGAヘトリガを送り、同じクロック間で異なったデバイスにあるインストゥルメンツを同期させることができます。

この機能により、内部トランザクションレコーディング(リアルタイムトレース)と、BDMもしくはCデバッグを同期させることも可能になり、HW/SW協調デバッグに非常に効果があります。

市販の合成ツールと完全互換

- ・シンプリシティ社 Synplify/SynplifyPro
- ・シノプシス社 DC FPGA
- ・メンターグラフィックス社
- ・ザイリクス社
- ・アルテラ社

HW/SW協調デバッグでデバッグ環境を強力サポート!!!



DLI IPコア 12種類の小規模IPを効果的に接続

ロジックアナライザIP

パラレルトリガ(PT)

信号のパラレルバンク上でパターンを認識し、最初もしくは複数の期待パターンの発生上で、(内部もしくは外部の)他のインストゥルメンツに対してpulseもしくはflagモードにより、同期を生成します。TA,TR及びHR用の正確な計測ウィンドウの定義も可能。

シリアルトリガ(ST)

信号のバンク上の選択した信号でシリアルパターンを認識。

グリッチデテクタ(GD)

信号のセット上でグリッチトラッキングができ、最初もしくは複数のグリッチ発生上で、(内部もしくは外部の)他のインストゥルメンツに対してpulseもしくはflagモードにより、同期を生成。

マルチコンディショナルトリガ

ロジックエクゼクション(方程式)モジュール(LEM)

基本的なクオリファイヤジェネレータで2つの信号のセット及びトリガ出力間でリアルタイムで調整可能なロジック方程式を使用して、複雑な計測ウィンドウを生成します。複数の信号ロジック組み合わせで繋げられます。

ユーザロジックモジュール(ULM)

VerilogもしくはVHDL及び混在記述にてユーザ独自のトリガ設定が可能。

メモリアジスタ

ヒストリレジスタ(HR)

RAMもしくはレジスタ(FPGAリソースで可能な限りの)に基づく、基本的な記録機能で、トリガの追尾(フラグモード)で、もしくはロジック方程式ジュール(LEM)により、先端のロジックアナライザを構築することができます。グリッチモニタ機能と一緒に使用できます。

トランザクションレジスタ(TR)

FPGA RAMブロックに基づく、先端の記録機能で、マルチブルック間トランザクションの記録が可能で、トリガで定義され、長時間の特定のトランザクションのトラッキングはLEMで定義されます。

デザインロバストネスIP

擬似ランダムジェネレータ(PRG)

擬似ランダムパターンの生成(1つもしくはそれ以上のラインをパラレルに)ができ、デザインに対してランダムにスティミュレートします。

RTLロジックデバッグIP

スイッチ/LED

内部信号をインターラクティブに観測もしくは/及び期待値へそれらをドライブすることが可能。

NEW

HDLフォールトファインダ(FF)

PE対応

ソースコード上にウォッチポイント及びブレイクポイントを挿入することにより、トレースが可能なHDLコードが生成され、正確なモニタリング及びイベントの表示が可能

バスモニタIP

トラフィックアナライザ(TA)

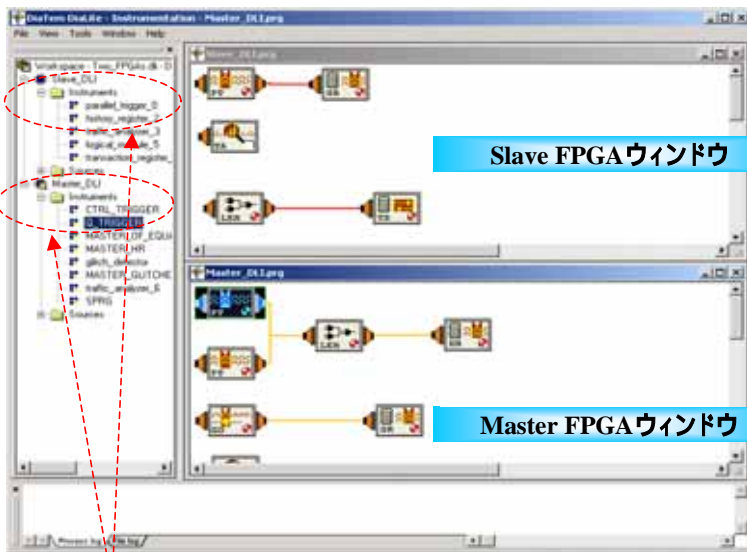
チップ上のバストラフィックを解析します。DMAサイクル(read,write,もしくは全てのサイクル)をモニタし、トラフィックの密度、もしくはバスの占有を測定し、フォールトバスを探知。

- ・スタック(Empty)
- ・もしくは一杯(Overflow)

バスレンジチェッカ(BRC)

ユーザ指定定数より、低かったり、高かった場合、あるいは2つの値で定義された範囲内か範囲外かを見つける

多数個FPGA使用エミュレーションボードも強力サポート!!!



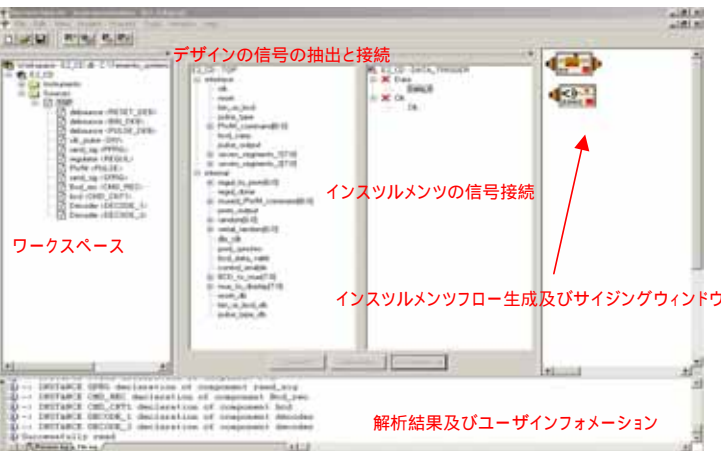
Slave FPGA ウィンドウ

Master FPGA ウィンドウ

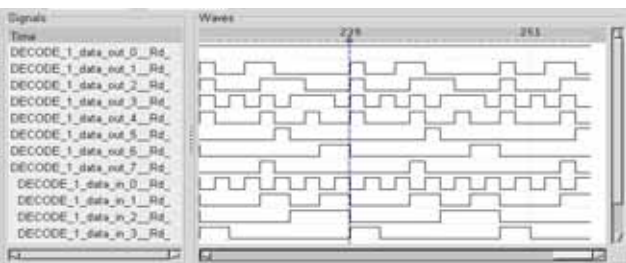
複数FPGAの時は、各FPGA毎に表示、しかも全体での表示・管理が可能

ク環境での、超高速・高信頼性RTLデバッグが可能。

デバッグウィンドウ 新デバッグIPを追加、さらに効果的で複雑なトリガ設定・デバッグ環境構築が可能



Initし、Stop後、直後の15イベント波形表示



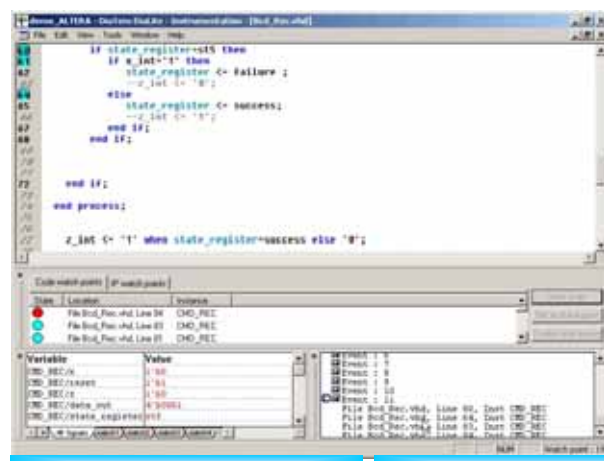
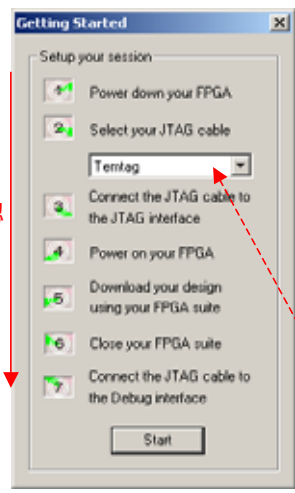
New 新機能IPフォールトファインダ PE対応

波形ビューワ

簡単操作

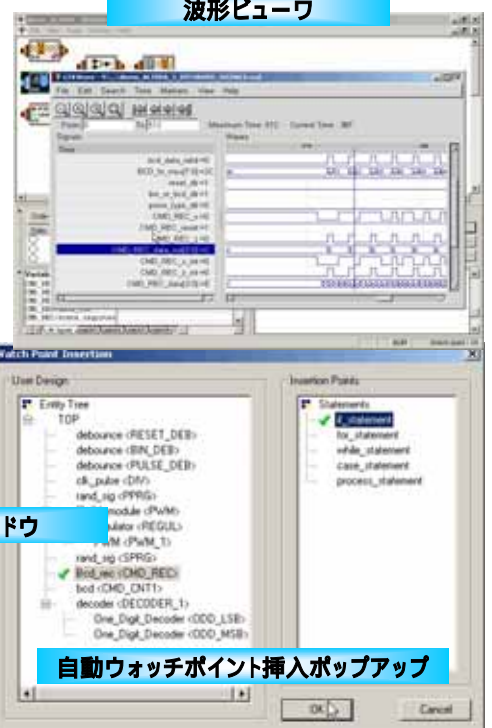
操作確認メニューにより誤操作をチェック

確認



ユーザで指定可能 イベントログウィンドウ

- ケーブル種類の選択
- ・Temento社製パラレルケーブル
 - ・TemTagPCIボード
 - ・TemTagUSBケーブル
 - ・ザイリンクス社
 - ・アルテラ社 などを選択



インストールエーションツールモジュール

モジュール	機能	利点
DLIコアジェネレータ	計測コアを簡単に選択して組み立てることができ、複雑な計測チェ - ンを構築できます。	FPGAの限られたリソースの中にIPを生成することにより、期待した正確さを得ることができます。
DLIコアインサータ	インストールメンツをVerilogもしくはVHDLデザインの中に挿入して、信号ノードに自動的に接続できます。	デザインファイルとインストールメンツディスプレイ間で動作し、各インストールメンツは容易に認識できるように名称変更が可能。
DLIコアコントロール & ディスプレイ	組み込まれたインストールメンツから発生したデータをモニタリングし、直接表示することができます。離れたサイトからターゲットへアクセスしてデバッグする際のプラットフォームになります。	デバイス単体内及び複数のデバイス環境で同時に全てのインストールメンツを表示する機能を持つ。

超・高速 + 高信頼性 ハードウェアにより、ストレスのないデバッグ環境構築

新たにタイム・ツール・マーケットを 1/2-1/3短縮可能なマルチプルハイスピードコントローラ + 高速ネットワークを提供

TEMTAG-USB-V1.0

オリジナル高信頼性USBケーブルは最大20MHzのデバッグが可能

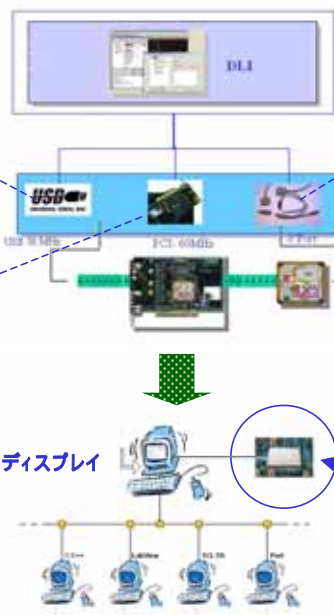
TEMTAG-PCI-V1.0 JTAG コントローラボード

デスクトップPCに挿入し
最大60MHzでのデバッグが可能



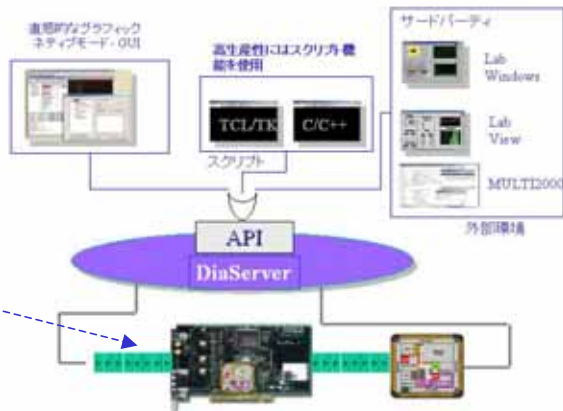
DLIコアコントロール&ディスプレイ
モジュール

- ・1本標準付属
- ・追加プラットフォーム (オプション)



TEMPCABLE-PDP2-V1.0パラレルケーブル

不安定なデバッグ環境を除く、高信頼性 + 双方向デバッグ & コンフィグDLIオリジナルパラレルケーブル



DLI超高速 + 高信頼性デバッグの利点

- ・HRでの連続波形取り込みが可能
- ・複雑な検証環境の同時立ち上げ、同時デバッグが可能
- ・TAでの超高速リアルタイムHW/SWデバッグ
- ・不安定なJTAGケーブルを避け、安定したコンフィグ & デバッグ環境によるTAT短縮
- ・複雑なトリガ設定、実行の高速イタレーション
- ・USBケーブル使用時、パラレルポートのないIPCでもデバッグ可能
- ・ネットワーク経由での複数FPGA環境でも速度低下がなく、離れたサイトからでも安定したデバッグ環境の構築が可能

ソフトウェアライセンス・ハードウェア構成

ソフトウェア	Power Edge Edition	Leading Edge Edition	Rev 4.4	ソフトウェアオプション
プラットフォーム	(A)Windows : XP,NT,2000	(B)Unix : Sun Solaris (Linuxはまもなくリリース予定)		(L)DLIコアコントロール & ディスプレイモジュール 複数のデザイナーが異なったサイトからアクセスして使用する 場合のデバッグ環境として必要
ライセンス構成	(D)永久ライセンスノードロック	(E)永久ライセンスフローティング (3ユーザ用)	(F)永久ライセンスフローティング (無制限ユーザ用)	(M)VME解析 New VME解析 (記述もしくは波形表示) 詳細はご確認下さい。
	(G)上記の各TBL (年間レンタル及び月間レンタル)	(J)アカデミック価格 : (D),(E),(F)が対象	(K)LE PEバージョンアップ(LEのみ)	TEMPCABLE-PDP2-V1.0 ネットワーク環境でのFPGAリアルタイムデバッグ では必須の高速・高信頼性ケーブル
ハードウェア (高速デバッグ用) New	(a) TEMPCABLE-PDP2-V1.0ケーブル (デバッグ及びコンフィグ)パラレルポートのみ	(b) TEMPCABLE-PDP3-V1.0 (デバッグ及びコンフィグ)パラレルポート及びPCIポート混在	(c) TEMPCABLE-PDP41-V1.0 TEMTAG PCIポートのみ	TEMTAG-PCI-V1.0JTAG コントローラボード
	(d) TEMTAG-PCI-V1.0 JTAG コントローラボード	(e) PACKAGE-CONTROLLER-V1.0 (デバッグ及びコンフィグ)	(f)TEMTAG-USB-V1.0 (デバッグのみ)	パラレルポート、モニタリング及びビットストリームダウンロード 2m長
				PCIポート + パラレルポート、モニタリング及びビットストリームダウンロード 2m長
				1TEMTAG PCI-DB9 ポート
				PCIJTAGコントローラボード1JTAG DB9 PORT、TEMPCABLE-PDP41-V1.0 要
				1- TEMTAG-PCI-V1.0 1- TEMPCABLE-PDP41-V1.0 の低価格パッケージ・約60MHzで転送
				USB JTAG コントローラ外部ポッド:約20MHzでデバッグ可能

© 2004 Temento Systems S.A. & PROTOtyping Japan Corp. V0910



プロトタイピング・ジャパン株式会社

本社/サポートセンター
神戸市西区学園東町7-21-13 〒651-2102
Tel/Fax:078-792-4671
email: sales@prototyping-japan.com
http://www.prototyping-japan.com



Temento Systems S.A.
Zirst 60, Rue Lavoisier
38 330 Montbonnot - France
Tel 33 456 52 60 00 Fax 33 456 52 60 01
http://www.temento.com

製品の仕様・機能等はお断りなく変更することがあります。今すぐDLIライセンス + 高速・信頼性ハードウェアの無償ライセンス評価が可能です。