



信号処理アルゴリズムのコンセプトから実装までの統合開発環境

SPW

SPWは信号処理アルゴリズムの開発と、実装を行なうための統合開発環境です。SPWでは最新の通信およびマルチメディア・ライブラリを含む、3,500以上のブロックを提供しています。これらのライブラリを使用することによって、設計者は、所望のアルゴリズムを迅速に開発し、再利用性の高いシステムレベル・テストベンチとして活用することができます。

主な特長

- ① 最新の通信およびマルチメディア標準ライブラリと、3,500以上のライブラリ・ブロック
- ② パーチャル計測器モデルによる、デザインのトレードオフ解析
- ③ 高抽象度モデリングによる高速シミュレーション
- ④ 設計のすべての抽象レベルにおいて再利用可能なシステムレベル・テストベンチ
- ⑤ ブロック図ベース且つパラメータ化されたモデルによるIPの高再利用性
- ⑥ ASIC / FPGAの実装に最適なHDLの生成
- ⑦ ConvergenSCとの強力なリンク

ブロック図エディタとウィザード

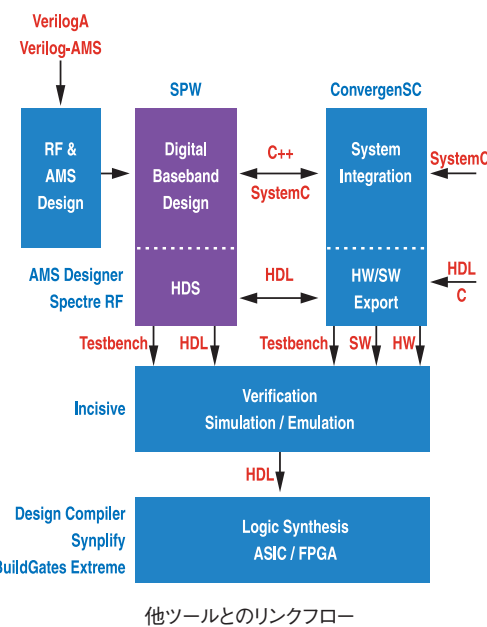
SPWの階層的なブロック図ベース設計環境は、複雑なアルゴリズムのモデリングとそのテスト環境の構築を容易に実現します。

1. パラメータ

トップレベルのパラメータを変更することによって、下位階層のパラメータを変更することができます。

2. ブロックウィザード

ブロックウィザードを用いることによって、MATLAB、C/C++、SystemC、Verilog、VHDL、Verilog-AMSなどで記述されたカスタムブロックを、簡単に作成することができます。



他ツールとのリンクフロー

シミュレーション環境

SPWでは先進のテクノロジーによって、様々な抽象度や言語が混在したシステムのシミュレーションを可能にします。また、デザインのパラメータを最適化するためには、膨大な回数のシミュレーションの実行が必要になる場合がありますが、SPWでは最適化を短期間に行うために様々な機能を提供しています。

1. コンバージェンス・アーキテクチャ

コンバージェンス・アーキテクチャによって、様々な抽象度（システムレベル、RTL）が混在したシステムのシミュレーションや、様々な計算モデル（シンクロナス・データフロー、ダイナミック・データフロー）をサポートする

ことができます。そのため、設計フローの全工程において共通のテストベンチを使用し、検証作業を加速することができます。

2. ミックスレベルおよびミックスシグナル検証

SPWでは固定小数点および浮動小数点データフローの、両方が混在したシステムのシミュレーションを実行可能です。このため、HDLを検証するテストベンチとして、抽象度の高いモデルやアナログ・ミックスドシグナルのモデルを含むことができます。SPWでは、C/C++、SystemC、MATLAB、Verilog、VHDL、VerilogA、Verilog-AMSで記述されたモデルをサポートしています。

3. シミュレーション・マネージャ

プロファイリング機能によって各ブロックの実行時間をプロファイルし、ボトルネックを識別するようなパフォーマンス解析を行う機能が用意されています。

4. 分散処理

異なるプラットフォーム上でのリモートシミュレーションによって、1ライセンスで複数のマシンに処理を分散することが可能です。ビット・エラー・レートやブロック・エラー・レートの曲線を、多数のマシン上で行われたシミュレーション結果から導くことも可能です。

HW設計環境

SPWはデータパス部の設計手法としてSPWのライブラリを用いたグラフィカルなRTL設計手法と、ハンドコーディングRTLによる設計手法の両手法をサポートします。

1. マイクロ・アーキテクチャ設計ライブラリ

アルゴリズムの最適化と検証が終了したデザインに対して、SPWは設計者にデバイスのスケジューリングやパイプライン処理を行うための、ハードウェア・アーキテクチャ設計のために、マイクロ・アーキテクチャ設計ライブラリを提供します。ハードウェア設計の専門的な知識のないシステム・エンジニアは、このライブラリを用いることによって、高品質且つ合成可能なRTLコードを自動生成できます。

2. ハンドコーディングによるHW設計

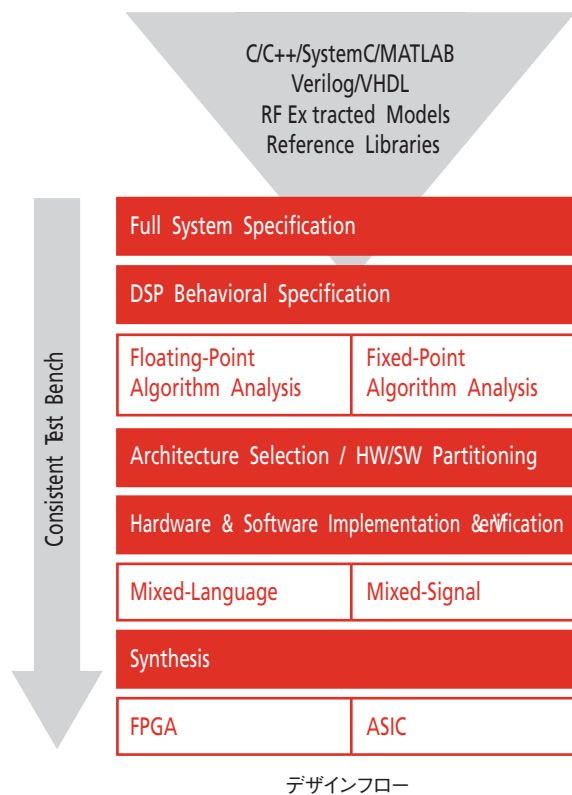
SPWでは、VHDLまたはVerilog HDLによってハンドコーディングされたブロックを、システムに統合することができます。例えば、デュアルポートRAM、FIFOおよびALUのようなブロックはSPWのライブラリを使用し、ハンドコーディングによって、HDLで記述されたRAMやROMをインポートすることも可能です。

3. ASICデータパス合成と低消費電力最適化

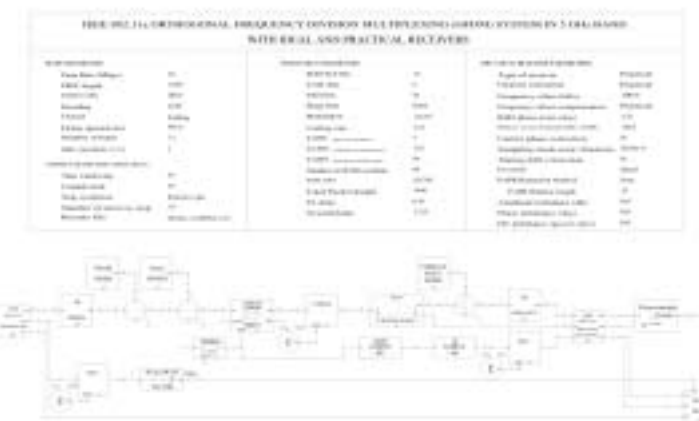
SPWは、自動データパス / コントロールロジック分割、自動オペレータマーキングおよびタイミング・ドリブ、またはコンテキストドリブン自動アーキテクチャ生成を可能にする、データパスに最適なHDLコードを生成します。SPWはRTL合成ツールに対して、データパスブロックを認識できるコードを生成するため、データパス部の効果的なゲートへの実装を可能にします。これによってエリアの大幅な削減が可能になります。さらに、ケイデンスのBuildGates Extremeと、シノプシスのDesign Compilerに含まれるLow Power Synthesis機能をサポートすることによって、低消費電力化のためのソリューションも提供します。

4. Xilinx COREインポートの自動化

SPWは、ザイリンクス社のCORE Generatorとのダイレクト・リンクをサポートしています。CORE Generatorで生成されたブロックを、SPW上で利用することができます。これらのブロックは、マイクロ・アーキテクチャ設計ライブラリや、ハンドコーディングされたRTLと一緒に設計することができます。また、ザイリンクス社のCORE Generatorブロックも、他のコード（C/C++、SystemC、Verilog、VHDLなど）と同様に、SPW上でシミュレーション可能です。



デザインフロー



SPW設計画面例