

Xtensa プロセッサ・コア

コンフィギュラブルで拡張性が高く合成可能なテンシリカ®のXtensa®プロセッサは、エンベディッドのシステム・オン・チップ (SOC) に対応すべく特別に設計された、初めてのマイクロプロセッサ・アーキテクチャです。設計者がターゲットとするSOCのアプリケーション要求に合わせて、個々にインプリメンテーションができるようなコンフィギュラブルなアーキテクチャとして、Xtensaは最初から設計されています。

Xtensaは、従来のいかなるエンベディット・プロセッサ・コアとも異なります。つまりSOCに対する発想を変えるものです。Xtensaテクノロジーを使用することで、システム設計者は、あらかじめ定義されたアーキテクチャを選択したり、コンフィギュレーションしたり、また他のソリューションに比べて段違いに速いパフォーマンスを提供する、全く新規の命令とハードウェア実行ユニットを新たに生成することによって、アプリケーションに最適なプロセッサを創りこむことができます。またXtensaプロセッサ・ジェネレータは、オペレーティング・システムのサポートを含め、完全に最適化されたソフトウェア環境を、個々のプロセッサのコンフィギュレーション毎に自動生成します。コンフィギュラブルなXtensaプロセッサの持つパワーとフレキシビリティは、あらゆる複雑なSOC設計に対して、理想的な選択肢となります。

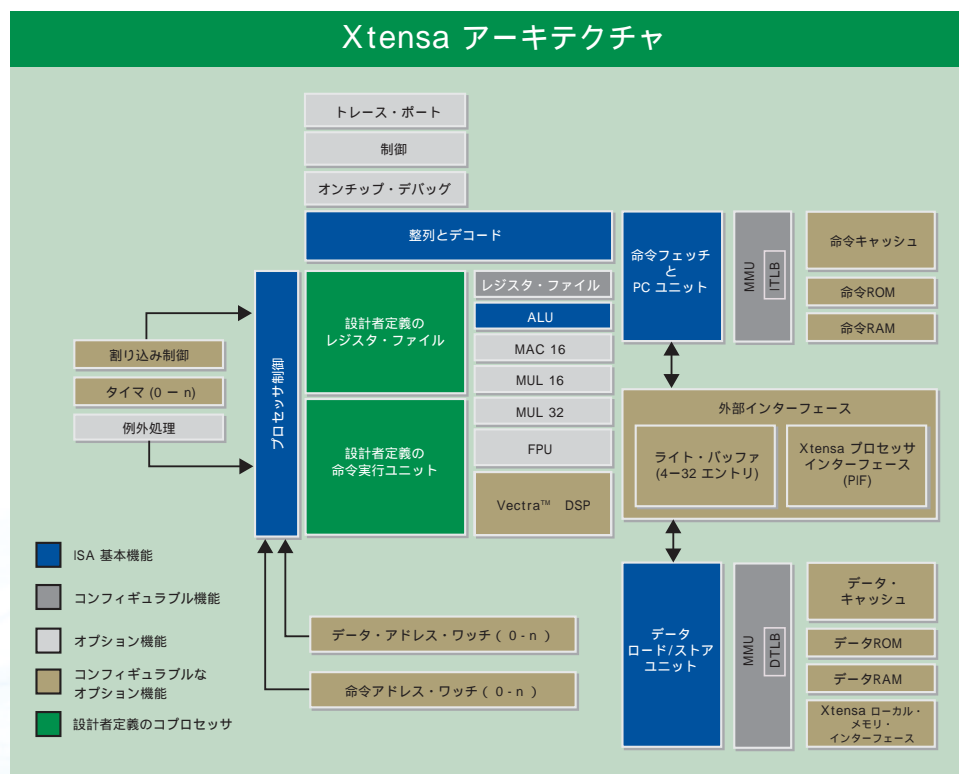


図1 . Xtensaアーキテクチャは、数々のコンフィギュラブルなビルディング・ブロックから構成されています。コンフィギュラブル機能ブロックは、システム設計者がパラメータを定義する部分。オプション機能ブロックは、特定のアプリケーションを高速化するために組込む部分。コンフィギュラブルなオプション機能ブロックは、ペリフェラルを含めアプリケーションに対応した拡張可能な部分。設計者定義の拡張機能ブロックは、特定のSOC設計に特化したアルゴリズムを高速化するために、設計者がプロセッサに追加するハードウェア実行ユニットとレジスタからなる部分。ISA基本機能ブロックは、全てのコンフィギュレーションに共通の部分。

機能概要

Xtensaプロセッサは、ターゲットのエンベディッド・システム・オン・チップ・ソリューションを開発するための、完全で強力なツールと、ビルディング・ブロックおよびパッケージを提供します。

- Xtensaプロセッサ・ジェネレータ
 - RTLと一緒にソフトウェア開発ツールを素早く自動生成
- TIE言語 (Tensilica Instruction Extension)
 - 設計者定義の命令を容易に生成し、自動的に基本プロセッサに統合
- アプリケーションに特化したオプション・ユニット
 - 乗算器, 16ビットMAC, FPU, SIMD Vectra DSPエンジン・ブロック
- メモリ・マネージメント・オプション
 - リージョン・プロテクション
 - 変換機能付きリージョン・プロテクション
 - TLB (Translation Look Aside Buffer) 付きメモリ・マネージメント・ユニット (MMU)
- コンフィギュラブル・インターフェース
 - プロセッサ・インターフェース (PIF) 幅: 32/64/128ビット
 - オプションの高速Xtensaローカル・メモリ・インターフェース (XLMI)
 - XLMIやデータRAMに対するPIFからのリクエスト
- マルチプロセッサ (MP) の開発とデバッグ機能
 - MP対応、C/C++言語で呼び出し可能な命令セット・シミュレータ (ISS)
 - システム・モデル: ISSに対応したXTMPシミュレーション・ソフトウェア環境
 - マルチプロセッサ・オン・チップ・デバッグ機能
- ソフトウェア開発ツール
 - GNU C/C++ソフトウェア開発ツール・キット
 - 高機能Xtensa Cコンパイラ (XCC)
 - 各仕様のXtensaコアとそれに対応したソフトウェア開発ツールを数時間で生成
- 強力なEDA環境サポート
 - 標準またはフィジカル・シンセシス・デザイン・フロー
- 検証サポート
 - Xtensaコアと設計者定義のTIE命令の総合診断
- シミュレーション・モデル
 - コンフィギュレーションされたプロセッサ・コア用の正確かつ強力なモデル
- リアルタイムOSをサポートするOSKit™ オーバーレイ
 - ATI社 Nucleus
 - ウインドリバー・システムズ社 VxWorks® 及びTornado®

パフォーマンス概要

- プロセッサ・アーキテクチャ: 5段パイプライン、高機能32ビットRISC
- 命令セット: コンパクトな16ビット, 24ビットエンコーディング方式のXtensa ISA (モード切替なしで実現)
- クロックスピード: 350MHz @0.13μ プロセス
200MHz @0.18μ プロセス
- パフォーマンス: XtensaプロセッサをTIEで機能拡張することにより、5倍、10倍更に100倍以上ものアルゴリズム・パフォーマンスの向上を達成
- サイズ: 約25,000ゲート (基本構成)
約18,000ゲート (タスク・エンジン・コンフィギュレーション)
- 消費電力: 0.1mW/MHz @0.13μ プロセス、1.0V
0.4mW/MHz @0.18μ プロセス、1.8V

クロックスピード, 消費電力, サイズ, 性能は、コンフィギュレーションおよびそれを実現するテクノロジーにより異なります。

コンフィギュラブル・プロセッサ・ソリューションで広がるシステム・オン・チップの可能性

SOC設計により低消費電力でより高いパフォーマンス、低コスト、小型、長時間のバッテリー寿命を実現できるようになります。しかしながら他方では、これらの設計はブロック・レベルでの組込みや検証、ハードウェア/ソフトウェアの協調設計、または半導体プロセス間のポータビリティにおいて、しばしばボトルネックにぶつかります。エンベディッドSOCの設計者はこれまで、ワークステーション向けのアーキテクチャ用に設計された、柔軟性に欠けるプロセッサ・コアをベースとしたソリューションを、使用しなければなりません。Xtensaコンフィギュラブル・マイクロプロセッサ・コアが提供するソリューションは、他のシステム・ブロックへの素早い組込みが可能で、かつ今日の大量生産、高性能なエンベディッド・アプリケーションのニーズに対応することができます。Xtensaコアは特にデジタル・コンシューマ機器、ネットワーク関連機器、OA機器やワイヤレス機器等の

エンベディッドSOCアプリケーションに非常に適しています。

コンフィギュラブルRISCコアの効果

Xtensa32ビットアーキテクチャの特長は、エンベディッド設計向けに最適化されたコンパクトな命令セットにあります。基本アーキテクチャは、32ビットALU、最大64個の汎用レジスタ、6個の特殊レジスタ、そして改良された16ビットと24ビット(32ビットではなく)のRISC命令エンコーディング方式の80個の基本命令を持ちます。Xtensaプロセッサの高性能なアーキテクチャにより、設計者は画期的なコードサイズの削減を実現することができ、その結果さらなるコード密度と低消費電力化が可能となります。これはSOC ASICのコスト削減につながる重要な要素となります。またXtensaコアの16ビットと24ビット・エンコーディング機能は、比較と分岐を統合した強力な分岐命令や、ゼロ・オーバーヘッド・ループ、ファネル・シフトやフィールド抽出等のビット操作命令も提供しています。

最適なプロセッサ・コア ---RTL、モデリングサポート、ソフトウェアチェーンを数時間で作成

アプリケーション・ソフトウェアのプロファイリング、マイクロプロセッサ・コアのコンフィギュレーション、パフォーマンスを最適化する新しい命令の追加、これら全てを数時間で行うことができます。Xtensaプロセッサ・ジェネレータにより、設計者は各アプリケーションに特化したエンベディッド・プロセッサを、即座にかつ確実に生成することができます。システム設計者は、プロセッサ・ジェネレータのリアルタイムなフィードバックに基づいて、面積、スピード、消費電力、コード密度等のトレードオフをシリコンを作る前に確認することにより、いろいろなアーキテクチャを事前に試すことができます。

Xtensaプロセッサ・ジェネレータが今までの不可能を可能にする

システム設計者、ハードウェアやソフトウェア開発者は、Web上のXtensaプロセッサ・ジ

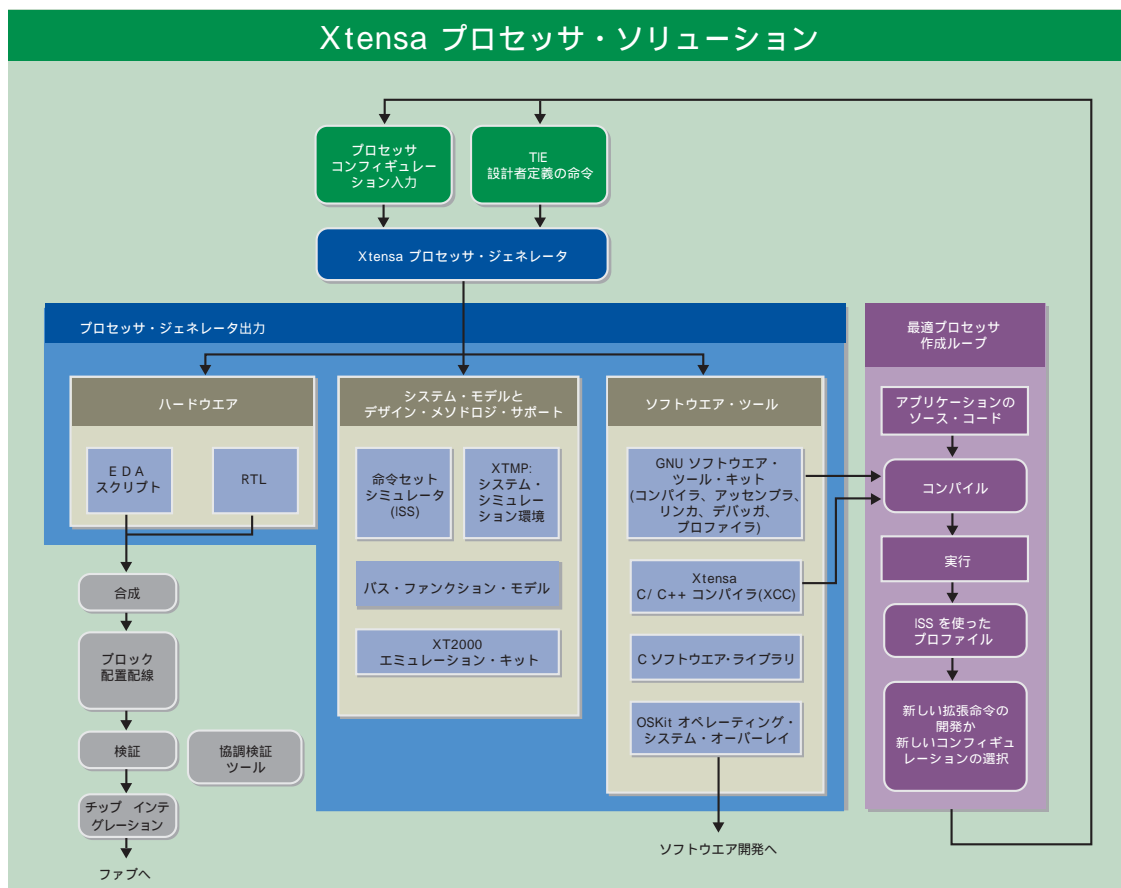


図2. Xtensaコンフィギュラブル・プロセッサ・コアは広範なハードウェアおよびソフトウェアを提供すると同時に、アプリケーションにまさに特化したニーズに対応するエンベディッドSOCを生成するためのツールをもサポートします。Xtensaのソリューションには以下のものが含まれます：合成可能なRTL、完全なソフトウェア開発ツール・キット、合成/スキャン/P&Rツール用スクリプト、今日ポピュラーなスタンダード・セル・ライブラリやメモリ・ブロック、ゲートレベルおよびRTLレベルのシミュレーション/検証機能、バス・ファンクション・モデル、サイクル・アキュレートな命令セット・シミュレーション・モデル、RTLコアのテストベンチと広範なトレーニングコース。

ジェネレータ画面から、アプリケーションが必要とする命令セット、メモリ階層、積和演算器、外部インターフェースなどのオプションを選択でき、さらにTIE（テンシリカ命令拡張）言語によって、新しいデータ・タイプ、命令、実行ユニットを追加することができます。Xtensaプロセッサ・ジェネレータは、それらの入力をもとに、数時間以内に完全に合成可能なハードウェアのデザインと、それに特化したソフトウェア開発環境を同時に生成します（図2参照）。合成可能なハードウェアは、直ちに他のSOCデザインに組み込み、どのファブ・プロセスにも容易にポーティングができるので、究極までコストを追求することが可能になります。また、コード・プロファイル、様々なシミュレーション・モデルやリアルタイムOSへのオーバーレイ・モジュールの提供などによって、ソフトウェア開発、システム・レベルでのシミュレーションやチューニングを直ちに開始することができます。迅速にプロセッサをコンフィギュレーションするための数多くのコア・オプションが、Xtensaプロセッサ・ジェネレータには用意されています。

Xtensaのコア・オプションは、以下のようになります。

- 実行ユニットおよびISAオプション
 - 16または32ビットの積算器
 - DSPエンジン
 - 単一16ビットMAC
 - SIMD Vectra™ DSPエンジン
 - 浮動小数点ユニット
- インターフェース・オプション
 - プロセッサ・インターフェース幅（32/64/128ビット）
 - ピック・エンディアン/リトル・エンディアンのバイトオーダーリング
 - オン・チップ・デバッグ
 - トレース・ポート
 - XLMI高速ローカル・インターフェース
 - 32個までの割込み
- メモリ・サブシステム・オプション
 - メモリ・マネジメント・オプション
 - ローカルデータと命令用キャッシュ
 - 最大4ウェイ・セット・アソシエイティブ
 - 最大32KB
 - ライトバック/ライトスルー・キャッシュ・オプション
 - 個別のデータ用と命令用RAMおよびROM
- デザイン・サポート
 - 命令セット・シミュレータとモデリング・プロトコル
 - バス・ファンクション・モデル
 - ATI社のNucleus®およびウインドリバー・システムズ社のVxWorks®用のRTOSサポート・パッケージ

テンシリカ命令拡張言語（TIE）

設計者は、テンシリカ命令拡張言語（以下TIE）によって新しい命令、レジスタおよび実行ユニットを定義できます。それらは自動的にXtensaプロセッサに組み込まれます。

TIEは、命令モニタック、オペランド、エンコードとセマンティックを記述する為のVerilogライクな言語です。TIEファイルは、Xtensaプロセッサ・ジェネレータの入力となります。プロセッサ・ジェネレータは、自動的にXtensaプロセッサの新しいバージョンとして、新たに加えたTIE命令をサポートする完全なツール・チェーンを生成します。

TIEによるプログラムの最適化には、まずアプリケーション・ソフトウェア上で、“ホット・スポット”つまり、パフォーマンスのボトルネックを見つけ出す必要があります。プロファイルを利用してすることによって、設計者はアプリケーション・プログラム効率を分析し、ソフトウェアの性能を向上させるためには、どの部分にTIEを適用すべきであるかを評価することができます。設計者は、新しいコンフィギュレーションのプロセッサのプロファイルを取り、追加命令とTIEハードウェアの効果を確認しながら、満足のゆくまで新しいプロセッサを作り出してゆくことができます。TIEによる並列処理やその他のテクニックを積極的に用いることによって、10倍、100倍またはそれ以上の性能向上を達成することも珍しくありません。（図3参照）

プログラマは、TIEによる追加命令をCコードの組み関数としてコールでき、またXtensa

のコンパイラは、アセンブリ・コードのスケジューリングと最適化を自動的に行います。

業界標準のソフトウェア開発ツール

Xtensaのソフトウェア開発環境は、業界標準のGNUツールです。C/C++コンパイラ(gcc)、アセンブラ、リンカ、デバッガ(gdb)を含んでいます。テンシリカはこれらのツールを、Xtensaの命令セット・アーキテクチャ用に最適化されるようにポーティングをしました。テンシリカ独自の技術により、自動生成された特定のハードウェア・コンフィギュレーション用に、様々な命令パッケージを動作可能にしました。デバッグ環境でのグラフィカル・ユーザ・インターフェースは、データ・ディスプレイ・デバッガ(DDD)ユーティリティ経由で提供されます。

Xtensaのソフトウェア開発環境は、プロセッサ・ハードウェア記述と同一のデータベースから生成されるため、正確性と一貫性を保ちながら、開発を進めてゆくことができます。設計者は、ハードウェアに完全にチューニングされたコンパイラ、リンカ、アセンブラおよびデバッガを入手できます。さらに、これらのソフトウェア・ツールは、ハードウェア生成段階で追加された設計者定義の命令にあわせて、自動的に更新/最適化されます。

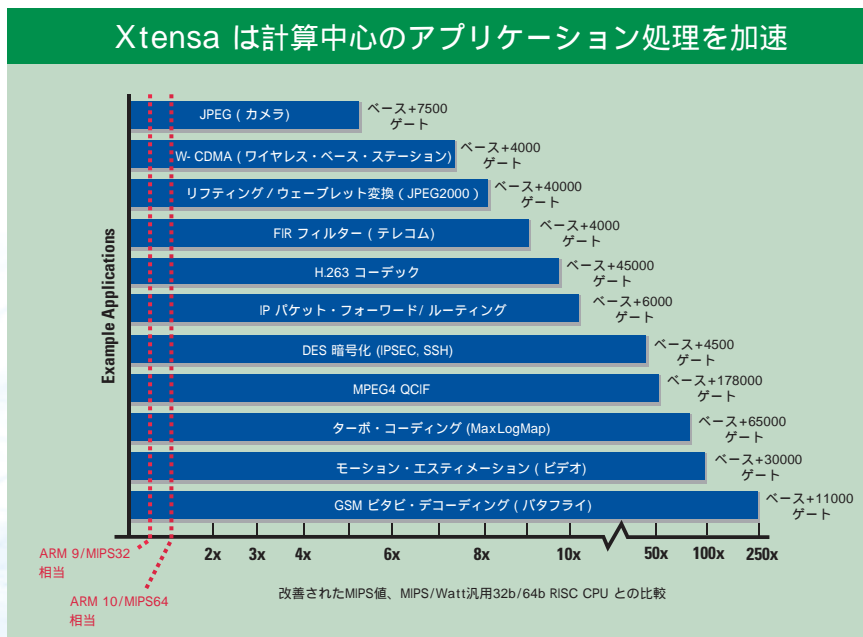


図3. 設計者定義の拡張命令によって、システムの性能が大幅に改善されます

Xtensa C/C++コンパイラ

テンシリカは、標準のGNUツール・チェーンに加えて、gccに対して、平均20-40%性能を改善したXtensa C/C++コンパイラ (XCC) を追加オプションとして開発しました。

XCCは、Vectra DSPエンジン用に、Cコードのベクトライゼーションを自動的に行います。標準のGNUベースのソフトウェア開発キットと同様に、XCCはプロセッサ・ハードウェア記述と同一のデータベースから生成されるため、常にデータの整合性が保たれています。

Xtensa IDE/RTOSサポートとOSKit

XtensaのOSKit™とは、アクセラレイテッド・テクノロジー社の Nucleus PLUS とウィンドリバー®システムズ社のTornado®およびVxWorks®の商用リアルタイム・オペレーティング・システム用のオーバーレイです。OSKitオーバーレイは、設計者定義の命令を含むすべてのコンフィギュレーションされたアーキテクチャに対応し、標準RTOSのランタイム環境を完全にサポートします。さらに、その他に先進のサード・パーティのソフトウェア・ベンダーによって、数多くのXtensa用の開発・デバッグ環境が提供されています。その中にはメンター・グラフィックス®社のSeamless™協調検証環境やXRAY®デバugg・サポートなどがあります。

命令セット・シミュレータとXtensaモデリング・プロトコル

Xtensa命令セット・シミュレータ (以下、ISS) は、マルチ・プロセッサに対応しており、設計者のシステムAPIから呼び出すことが可能となっています。つまり複数のISSを、正確なシステム・レベルのシミュレーションと、解析のために使われるシステム・コンポーネントと一緒に、C/C++の環境から起動することができます。Xtensaのモデリング・プロトコル (以下、XTMP) とは、Xtensaプロセッサのサブシステムのモデリングと、シミュレーション環境のことです。このXTMPによって、1つまたは、複数のXtensaプロセッサと、様々なメモリとビルディング・ブロックを含んだシステム・レベルのシミュレーション環境を、短期間で構築することができます。XtensaのISSとXTMPを使うことにより、設計者は複数のそれぞれ異なる仕様のXtensaプロセッサから構成される、完全なSOCサブシステムの作成と、シミュレーションができるようになります。(図4参照)

システム検証

テンシリカは、設計者のSOCの検証方法を支援する強力な検証サポート・ツール群を提供します。XtensaインターフェースのエンベディットRTLチェッカ/モニタから、ハードウェアとソフトウェアの協調検証をサポートするバス・ファンクション・モデルの自動生成、TIE拡張命令に対する等価性検証 (フォーマ

ル・ベリフィケーション) に至るまで、テンシリカは設計者の検証スタイルに合うソリューションを提供いたします。

XT2000プロセッサ・エミュレーション・キット

XT2000エミュレーション・キット (写真参照) は、任意のXtensaプロセッサのコンフィギュレーションをエミュレートするプログラマブル・ロジック・デバイスを使用した、ローコストな、統合開発ツールです。このXT2000によって、設計者は、様々なプロセッサのコンフィギュレーション・オプションを評価するとともに、デザイン・サイクルの早い段階で、ソフトウェア開発やデバッグをすることが可能となります。システム設計者は、数時間以内に、設計者定義の命令を含む新規のプロセッサのコンフィギュレーションを決め、XT2000上を実現し、デバックまで行うことができます。



XT2000エミュレーション・ボード

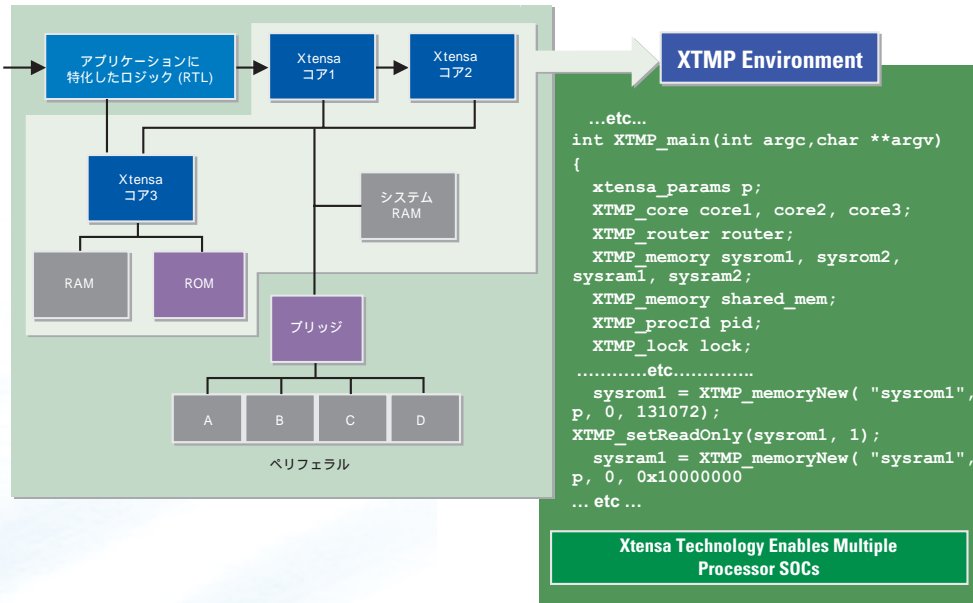


図4. マルチプロセッサ・システム・シミュレーション用Xtensaモデリング・プロトコル (XTMP) 環境

Vectra™ DSPエンジン

Vectraエンジンは、システム・オン・チップ (SOC) ・デザインの統合化されたソリューションにおけるXtensaの主要なビルディング・ブロックです。エンベディット・コントローラと、通信プロトコルや信号処理、画像処理のすべてのニーズを迅速に満たすことのできる、業界で初めてのシングル・プロセッサ・

アーキテクチャです。このXtensaソリューションとして統合化されたアーキテクチャにより、ソフトウェア開発、シミュレーションそしてRTOS環境は、他のXtensaとすべて共通の環境が使えることとなります。Vectraエンジンは、様々な8, 16, 24ビットの固定小数点SIMDコンフィギュレーションにおいて、世界最高速度のデータ・スループットを提供いたします。(表1、図5参照)

Vectra DSP エンジン・コンフィギュレーション					
	Vectra V1620-8	Vectra V21620-4	Vectra V1616-8	Vectra V0810-8	Vectra V3224-4
ベクタ毎の要素数 A	8	4	8	8	4
各要素のメモリ幅 B	16	16	16	8	32
各要素のレジスタ幅 C	20	20	16	10	24
MACユニット数 D	4	2	4	4	2
積算器ビット幅 E	16x16	16x16	16x16	8x8	24x24

表1. XtensaプロセッサのVectra DSPエンジン・ファミリ

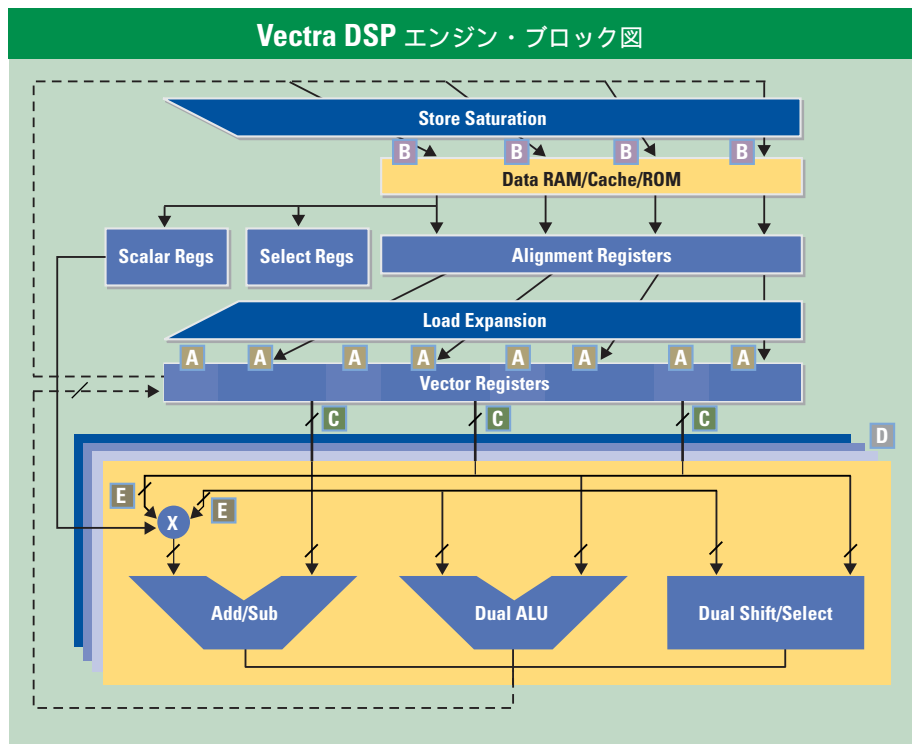


図5. 最適化された性能と効率のVectraエンジンのベクタ/SIMDアーキテクチャ



テンシリカ株式会社
 〒222-0033
 横浜市港北区新横浜3-12-4
 エクステ新横浜ビル2F
 Tel: 045-477-3373
 Fax: 045-477-3375
 営業問合せ先:
 sales@tensilica.co.jp

Tensilica, Inc.
 Corporate Headquarters
 3255-6, Scott Boulevard
 Santa Clara, CA, 95054-3013
 USA
 Tel: 408-986-8000
 Fax: 408-986-8919

Tensilicaについての詳しい情報は
www.tensilica.co.jpへ

© 2002, Tensilica, Inc. Tensilica and Xtensa are registered trademarks; Vectra, Sea of Processors, OSKit and the Tensilica logo are trademarks of Tensilica, Inc. All other registered trademarks and trademarks are the property of their respective owners.