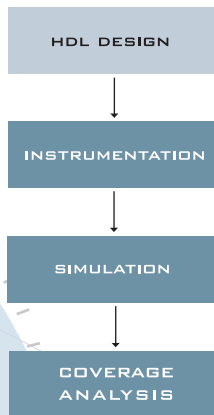


VN-COVER™

COVERAGE ANALYSIS



ハイライト

- 設計や検証フローに容易に統合
- 広範囲なコード、FSM及び機能項目
- 一つのパッケージに高機能と正確性
- ほぼ全てのVerilog、VHDL、或いはデュアルのシミュレータとエミュレータと共に使用可能
- 自動的にFSMを抽出し解析、そして独自のFSMパスカバレッジ解析
- 結果を整理し必要に応じてマージできるテストベンチ解析
- すでに定評のあるカバレッジ解析VHDLCoverとVeriSureに基づく

オーバービュー

ほとんどの新しいHDLコードは、100ステートメントにつき1から3個の欠陥を持ちます。従って一般に新しいデザインは、設計チームと検証チームが見つけなければならないエラーを数千含んでいることになります。開発の遅い段階で発見するのが難しくよりコストがかかるためこれらの欠陥を早い段階で修正することが重要です。デザインのどの部分がさらなる検証が必要かを知ることが検証作業を終了する上で重要です。ブロックレベルからシステムレベルの首尾一貫した結果は複雑なIPベースの設計検証を加速します。

検証計画の有効性を定量的に与えることができるため、先進の企業ではVN-Coverコードカバレッジ解析を採用しています。カバレッジの測定はRTL設計検証に対し定量的な目標を設定することができます。さらに、カバレッジは素晴らしいフィードバック機能であり、カバレッジを使用することにより検証作業の生産性の向上、あるいはRTL設計のサインオフ以前にカバレッジの貧弱な部分のリスクを調べることができます。

不明確性を取り除く

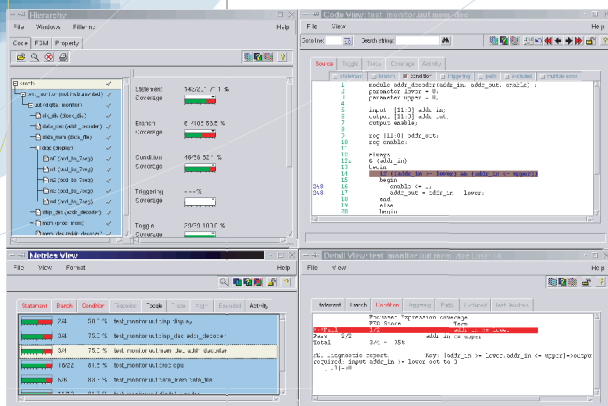
企業はSOC、ASIC、FPGA或いはIPシステムの設計の検証を設計者に依存しています。ではそれらが検証されたかのように明確にするのでしょうか。VN-Coverは設計者がいつRTLのサインオフできる段階になったかを知るための情報を得る手助けをします。

すばやく未テストのコードを発見

VN-Coverは設計者がどれほど完全にコードをシミュレートしたかの定量的な値を教えてください。この値はシミュレーションの完全性の調査やコードの品質の信頼性の確立に有効です。Vn-Coverのサインオフ画面で低いカバレッジスコアが見られたなら、全てのコードをテストしていなかったことを知ることができます。高いカバレッジ・スコアでシミュレーションがパスした場合、デザインが正しく動作する確信を持つことができます。VN-Coverによって設計者は、デザインのどれ程のコードが検証されたか予想する必要がなくなります。

より信頼できるコードを出荷

VN-Coverは直観的なグラフィカル・ユーザー・インターフェイス(GUI)とテキストベースの分かりやすいカバレッジレポートの両方がサポートされます。デザイン・レビュー或いはコード検査の一部としてテキストベースのレポートを使用する場合、このレポートはデザインのカバレッジの低い部分のレビューや検査にフォーカスしたものであることが分ります。他では見つけられないであろうエラーを見つけそして取り除く手助けとなります。



各種解析ウィンドウを使用し効率的にシミュレーションもれを解析