

VERIFICATION NAVIGATOR™

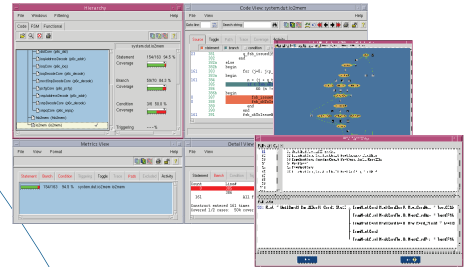
INTEGRATED DESIGN VERIFICATION ENVIRONMENT

Verification Navigatorはプロパティチェッカ、コードカバレッジ、テスト自動化ツール、テストベンチ解析、コンフィグ可能なRTLルールチェッカ等を高度に統合したVerilog, VHDL, またミックスラングージで使用可能な設計検証環境です。設計者、検証エンジニアにおいて設計品質、生産性双方を向上させます

◎ VN-COVER

コードカバレッジ解析

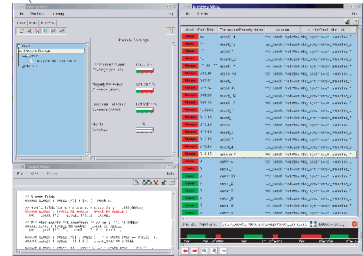
各種コードカバレッジ及びFSM項目によりの確な検証のフィードバックするコードカバレッジ解析ソリューション



◎ VN-PROPERTY DX

ダイナミックプロパティチェック

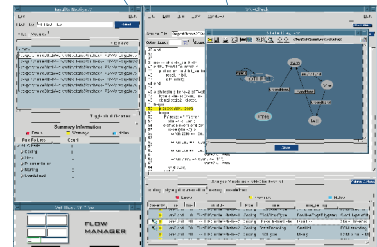
システム・シミュレーション時に既成プロパティやユーザ定義のプロパティを元にプロパティ検証が出来るダイナミック・プロパティ・チェッカ



◎ VN-OPTIMIZE

テストベンチ解析

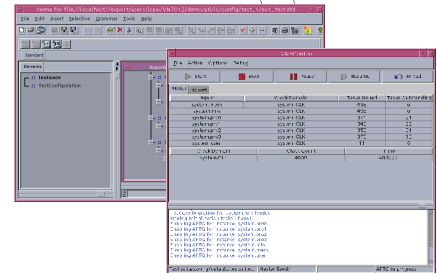
検証のゴールに一番最適なテストベンチのセットを特定しリグレッションテスト時間を短縮するテストスイート解析ソリューション



◎ VN-CHECK

コンフィグ可能RTLチェッカ

コンフィグ可能なRTLスタイルチェッカ、数百にわたる定義済み、ユーザ定義のルールによりVerilog, VHDLをシミュレーション前に検証可能



◎ VN-CONTROL

アプリケーション特化型テスト自動化

高度なモデルによる自動テスト生成、自動レスポンス検査による特定用途向けテスト自動化ツール

