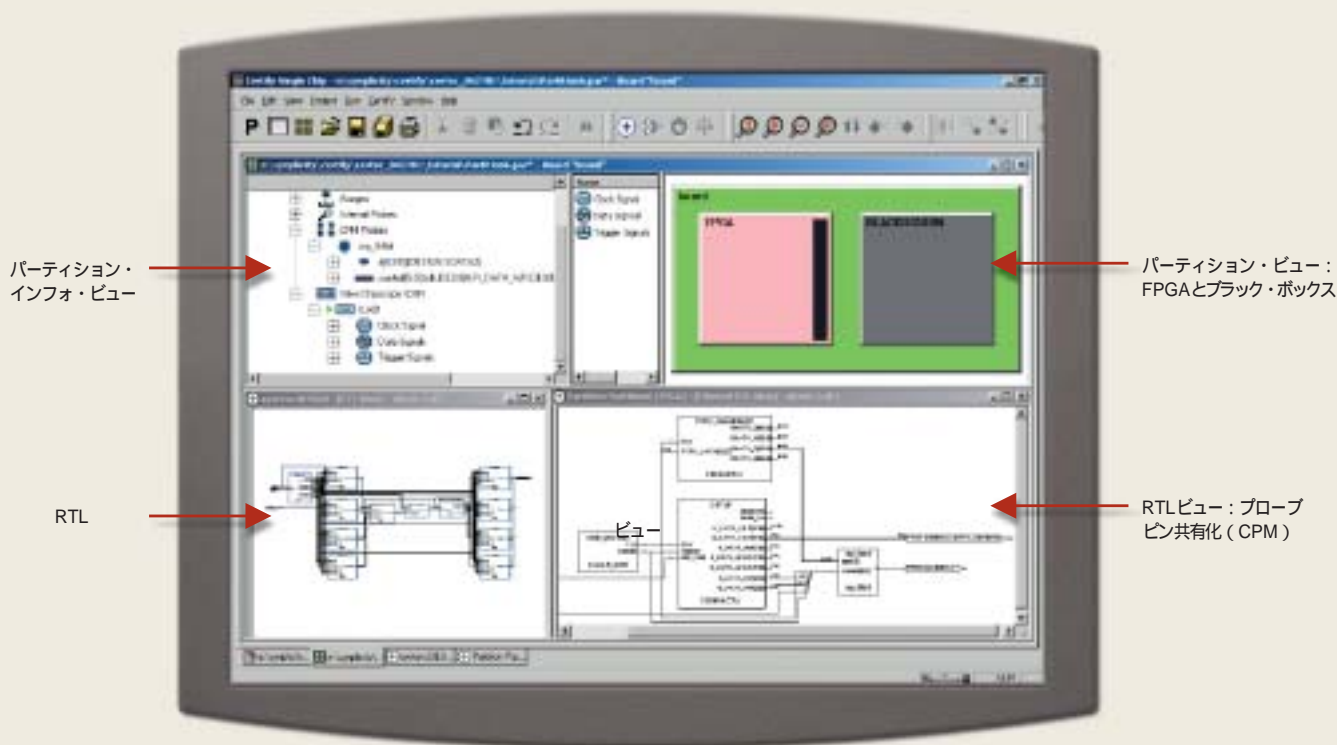


Certify SC™

Single Chipプロトタイピング シンセシス ASIC/IPプロトタイピングとFPGAデバッグ・インサージョン



Single Chipプロトタイピング

最先端のFPGAは、ASICとFPGAの設計者に新たな可能性と課題を生み出しました。現在では、ASIC設計の大部分のプロトタイピングが単一のFPGA上で実現可能となっています。それにもかかわらず、これらのFPGAが複雑なあまり、デザインのデバッグは相変わらず困難な作業です。Certify SC (Single Chip) ソフトウェアを使えば、可能性を現実のものにでき、課題は克服できるのです。

Synplicity社の Certify®プロトタイピング・シンセシス ファミリの1つとしてCertify SC ソフトウェアは、ASIC設計用のRTLコードを、時間のかかる記述変更を行わずにFPGAにインプリメントする新しい機能を装備しました。加えてCertify SC ソフトウェアは、Xilinx®社 ChipScope™ および Altera®社 SignalTap™との統合によってデバッグ・アクセス機能を提供します。Certify SC ソフトウェアは、Synplify Pro® FPGAシンセシス・ソフトウェアのオプションとして、ASIC設計者に迅速かつ効果的なIPのプロトタイピング検証を単一デバイス上で行える環境を提供し、FPGA設計者には、デザインへの容易なデバッグ・ロジック挿入機能を提供します。

Certify SCプロトタイピング・ソリューション

- Synplicity社のコアテクノロジー BEST™、SCOPE® を搭載
- 先進機能をドラッグ&ドロップで簡単に実現する強力なGUI

FPGA設計者向け

- FPGAデザインへの容易なデバッグ・ロジックの挿入
- プローブピン共有化(CPM)機能
- Xilinx ChipScope とのシームレスなインテグレーション
- Altera SignalTap とのシームレスなインテグレーション

ASIC/IP設計者向け

- 単一FPGAを用いたASIC/IPプロトタイピングを支援する業界初のツール
- ASIC/IPブロックを迅速かつ効果的に検証
- 先進の機能で、RTLコードの変換作業を自動化し、ASICプロトタイプ開発の工期を短縮
- デバッグ・ロジックを簡単かつ自動で挿入

Certify SCの機能	利 点
回路内部のデバッグ・アクセス	ハードウェア・プロトタイプの内蔵ノードに素早く簡単にアクセスが可能
Xilinx ChipScopeとのインテグレーション Altera SignalTapとのインテグレーション	完全なIPプロトタイピングとデバッグ環境の構築が可能
プローブピン共有化(CPM)機能	複数プローブの設定を簡易にし、使用ピン数を削減
ブラック・ボックス抽出機能	ASIC設計用RTLコードを変更することなくFPGAベースの設計用に適用
ゲートッド・クロックの自動変換機能	ASIC設計用ゲートッド・クロックを自動認識し、FPGA設計用クロック・イネーブルへ自動変換することにより、プロトタイプ開発工期の短縮と設計生産性の大幅向上を実現
Synopsys® DesignWare® 自動インポート機能	一般的な加算器、乗算器、カウンタ等のRTLコードに自動で置き換えることにより、手作業によるFPGA向け変換作業は不要
.libファイル用自動コンバータ	インスタンス化されたコンポーネントへの変換と最適化を自動に
独自アルゴリズム BESTによる 強力なシンセシス	数百万ゲート規模のFPGAを超高速でコンパイル
SCOPE	複雑な合成制約も簡単に入力が可能

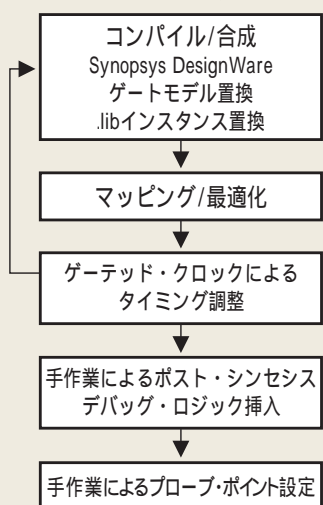
回路内部のデバッグ・アクセス機能

大規模FPGAでは、回路内部のデバッグ・ポイントにアクセスすることは極めて重要です。この要求に応えるため、Certify SCソフトウェアでは、素早くかつ簡単にデバッグ・ロジックをFPGA デザイン内に挿入可能にしました。また、Xilinx 社 ChipScopeおよびAltera社SignalTapとのシームレスなインテグレーションにより、Certify SC ソフトウェアでは、設計者がRTLソース・コードに修正を加えることなく、デバッグ・モジュールを容易かつ視覚的にRTLレベルで追加・接続することが可能です。この結果、今までは不可能だった完全なIPプロトタイピングとデバッグ・ソリューションが実現しました。

プローブピン共有化(CPM)機能

I/O数に制限のある設計ではピンの使用を抑制する必要があります。このような時にはCertify SC ソフトウェアの、プローブピン共有化(CPM)機能が有効です。CPMによってI/Oピンの数を抑えながら複数のプローブを簡単に設定することが可能です。

手作業によるSingle Chip プロトタイピングフロー



Certify SCフロー



ゲートッド・クロックの自動変換機能

設計生産性と性能を向上し、クロック・スキューを除去するために、Certify SC ソフトウェアはゲートッド・クロック自動変換機能を備えており、ASIC設計で一般的に使われるゲートッド・クロックを認識し、FPGA設計に適したクロック・イネーブルに自動的に変換します。

ブラック・ボックス抽出機能

設計者がASIC設計用のRTLコードに立ち戻って変更する必要性をなくしました。Certify SC ソフトウェアのブラック・ボックス抽出機能により、設計者は、IPブロック、メモリ・ブロックおよびその他のロジックをブラック・ボックスとして扱うことができます。Certify SC ソフトウェアでは、一度その設定を行えば、後は自動的にIPブロックとの接続を行います。

RTLへの自動変換機能

非RTLモジュールを単一のFPGA上に簡単に、かつ自動的に変換するために、Certify SC ソフトウェアにはSynopsys社 DesignWareインポート機能が装備され、Synopsys社 DesignWareブロックを自動認識して予め用意した等価なRTLコードに置き換えます。さらに、Certify SC ソフトウェアでは、自動的に.libフォーマット・ファイルを読み取り、RTLに変換するRTLコンバータを備え、ファイルを手作業で入力する手間を省きました。

シンプリシティ株式会社
〒151-0053
東京都渋谷区代々木2-10-8
ケイアイ新宿ビル6F
Tel. 03-5358-3301
Fax. 03-5358-3321
sales-jp@synplicity.co.jp
www.synplicity.co.jp

