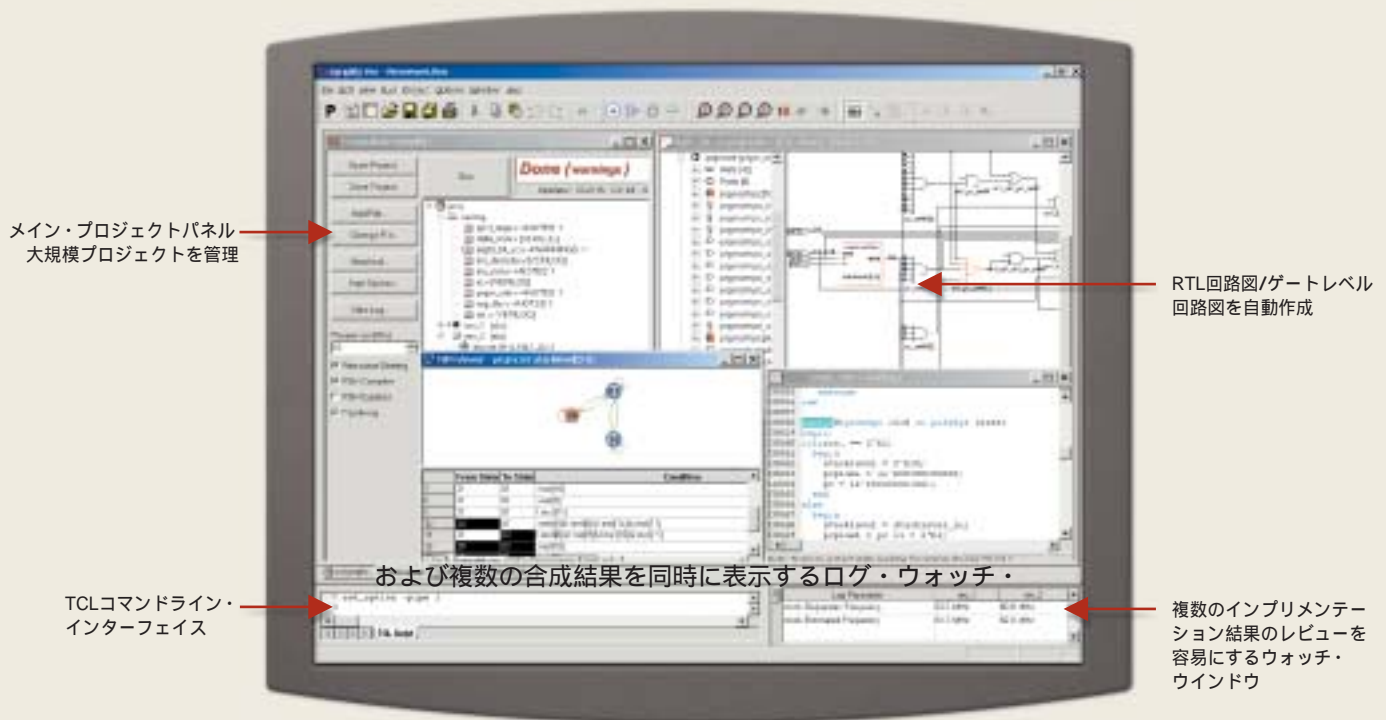


Synplify Pro®

高集積FPGA対応シンセシス・ソリューション



ハイ・パフォーマンスFPGAシンセシス

システムがより複雑になるにつれ、プログラマブル・ロジックもそれに追従して複雑化していきます。今日の高集積FPGAは数百万ゲート規模で、かつ200MHzを超える速度で動作します。このように複雑化が進むなか、開発スケジュール、予算、FPGA設計ツールの選択など、全てが設計者に重くのしかかってきます。Synplify Proソフトウェアを導入してください。Synplify Proソフトウェアには、業界で最も普及しているSynplify®ソフトウェアの機能の全てを備えているのみならず、さらに大規模な設計用の新機能を追加しました。Synplify Proソフトウェアを使用することによって、高集積FPGA設計で、開発スケジュールどおり、あるいはそれよりも短期間に、ハイ・パフォーマンスな結果を得ることが可能です。

Synplify Proソフトウェアは高集積FPGAプロジェクトでの特有な要求に対応しています。1つの設計に複数のインプリメンテーションを制御するといった、高度なプロジェクト管理機能を要求される場所では、マルチ・インプリメンテーショ

ン管理機能や、インクリメンタルな設計テクニック、IPのインテグレーションといったデザインの再利用に適応しています。

独自のリタイミング・テクノロジー

Synplify Proソフトウェアは、回路をリタイミングするための新しいパワフルな機能を追加しています。リタイミングのスイッチを選択すると、Synplify Proはタイミング遅延のバランスをとり、回路のパフォーマンスを改善するために、レジスタと組み合わせ論理を自動的に調整します。これによって20%以上の性能が向上します。このリタイミング機能は、デザインの全体を対象にすることも、任意の部分のみに適応することも可能です。

結果を視覚的に

Synplify ProソフトウェアはパワフルなGUIを備えています。例えば、プロジェクト・ブラウザに含まれている複数のインプリメンテーション、TCLコマンドライン・インターフェイス、ウィンドウなどです。

Synplify Proの機能	利 点
独自のB.E.S.T. TM アルゴリズム	従来のシンセシス・ツールに比してわずかな時間で設計全体の最適化を実行
モジュール生成とマッピングのインテグレーション	演算/データパス機能を高性能・面積効率よくインプリメンテーション可能
超高速コンパイル	大規模設計でも数分で合成終了
SCOPE [®] マルチレベルの設計制約	合成のプロセス実行中、設計者は完全な制御が可能
広範な言語サポート	Verilog、VHDLおよびミックス言語の設計をサポート
言語センシティブ・エディタ	Verilog/VHDLの文法、合成を自動的にチェック
使い易い直感的なGUI	即座にツールの実用が可能に
Direct Synthesis Technology TM (DST TM)	デバイスのアーキテクチャに特化した独自のマッピング・エンジンにより高品質結果を実現
RAMの自動推定	面倒な手作業によるRAMのインスタンス化が不要
3rdパーティ・ツールとのインテグレーション	主要なシミュレータおよびエン트리・ツールとクロスプロービングが可能
FSM Explorer	最高速の性能を実現するエンコーディング・スタイルの選択
自動リタイミング	遅延のバランスをとり、性能を改善するためにレジスタと組み合わせ論理を自動的に調整
グラフィカルなステートマシン・ビューワ (バブルチャート)	回路中のステートマシン全てをすばやくデバッグし、コーディングの確認が可能
乗算器、ROMのレジスタをバランスする パイプライン処理	自動パイプライン処理で、より良いスループットとより高速な回路性能を実現
プローブ・ポイントの作成	HDL記述の変更なしに、いかなる信号もテストのために外部出力ポートとして引き出すことが可能
クリティカル・パスのクロスプロービング	HDL Analystと3rdパーティ・ツールのタイミング・レポートとの間でクロスプロービングが可能
HDL Analyst [®] — RTL解析/デバッグ・ツール	HDL記述から即座にRTLブロック図を生成。クリティカル・パスの確認には威力を発揮

パワフルなSynplify Proソフトウェア

Synplify Proソフトウェアは、プログラマブル・ロジック設計に対して最も効果的な面積使用率でかつ比類なき回路性能をもたらします。Synplifyソフトウェアと同様に、Synplify ProソフトウェアはSynplify社独自のB.E.S.T.(Behavior Extracting Synthesis Technology[®])という高度な合成アルゴリズムを採用し、マルチレベルのグラフィカルな制約エディタSCOPE[®](Synthesis Constraint Optimization Environment)も装備しています。

また、Synplify Proソフトウェアはパワフルで容易な操作性のRTLグラフィカル解析/デバッグツールであるHDL Analystを標準装備しています。ハイレベル・ブロック図やゲートレベル回路図を即座にグラフィカルに表示可能で、HDLソースコードともリンクしているため、ソースコードに戻ることも可能です。HDL Analystは最高の性能をあげることが可能な、より簡単で高速なHDLコード・デバッガです。

FSM Explorer

Synplify Proソフトウェアの非常に有用な機能として、FSM Explorerがあります。これはSynplifyソフトウェア独自のFSM Compilerを機能強化したものです。FSM Explorerは自動的にステートマシンを見つけ、固有のタイミング制約について複数のコーディングスタイルを評価し、最適な性能を出すものを選択します。生成されたFSMはバブルチャートとして表示され、その確認や検討をグラフィカルにかつ簡単に実行できます。

パイプライン処理

算術演算モジュールなどの性能を劇的に向上させるために、Synplify ProはROMや乗算器を対象とするレジスタのバランスを考慮して自動的に移動します。

Amplify[®] Physical OptimizerTM

FPGAの性能を最大限にするAmplify Physical OptimizerはSynplify Proソフトウェアのオプションです。これは、FPGA設計分野において業界唯一かつ、業界初のフィジカル・シンセシス・ソリューションです。AmplifyソフトウェアはRTLでグラフィカルに配置制約を与えることが可能です。Amplifyソフトウェアは配置と論理の最適化を同時に実行するという革新的なアルゴリズムを使用することによって、論理合成処理のみの場合に比べて最大40%の回路性能を向上します。

デザイン・ツールとのインターフェイス

Synplify ProはNC-Verilog、NC-VHDL、Active-HDL、ModelSim、SpeedWaveなどのシミュレータや、主要なハイレベル・グラフィカル・エン트리・ツールとインターフェイスしています。また、Actel社、Altera社、Atmel社、Cypress社、Lattice社、Lucent社、QuickLogic社、Triscend Xilinx社の配置配線ツールともインターフェイスしています。

シンプリシティ株式会社
〒151-0053
東京都渋谷区代々木2-10-8
ケイアイ新宿ビル6F
Tel. 03-5358-3301
Fax. 03-5358-3321
sales-jp@synplicity.co.jp
www.synplicity.co.jp



Synplicity[®]

Simply Better Results