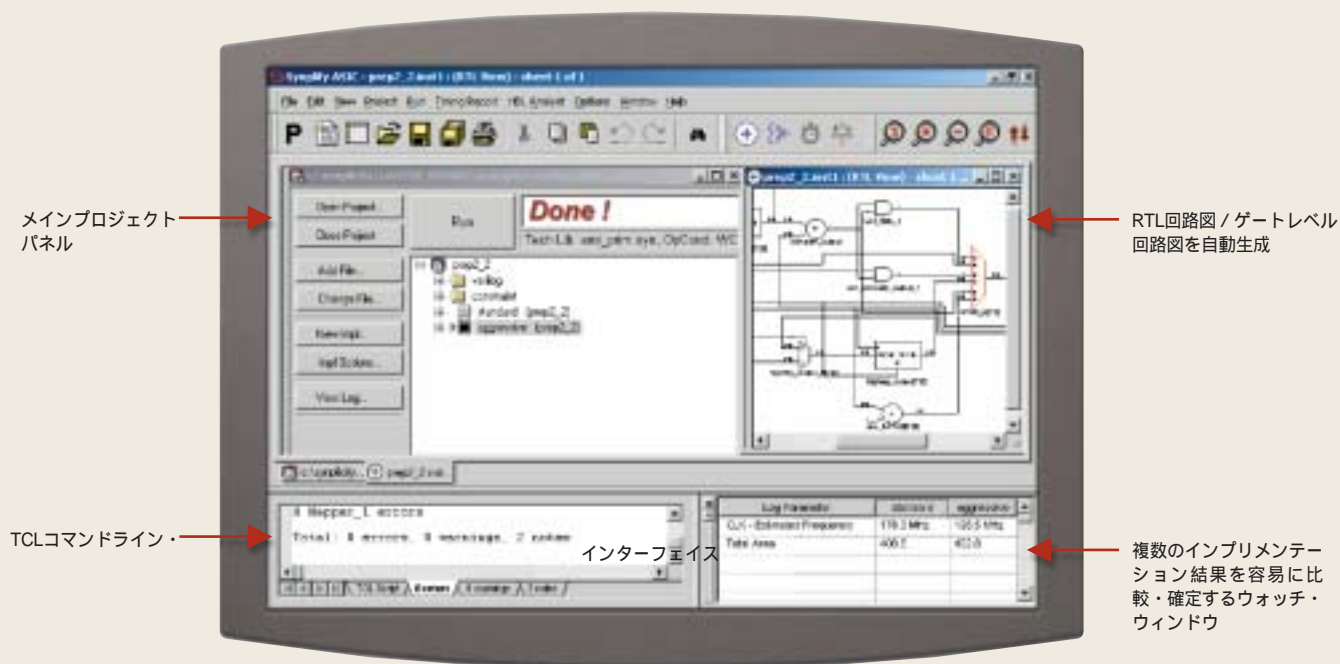


Synplify ASIC[®]

ASIC設計者のための高設計生産性シンセシス



高設計生産性ASICシンセシス

今日ASIC設計チームはさまざまなプレッシャーに直面しています。特に、システム要求にかなう結果を早急に出すことが求められています。つまり設計ツールは使いやすく、かつ納得のいく結果を出すのに十分なパワーがなければならないということです。また、さまざまなデザインに一貫した設計フローや手法を提供するためには、設計ツールは高度に自動化し、柔軟度が高くなければなりません。複雑化の一途をたどるASIC設計にまつわるプレッシャーをうまく克服するには、まず、ワンパスでデザイン全体を処理できる設計ツールとテクノロジーを備えていることが重要になります。オプションや特別な設定などは最小限に抑えるべきです。

Synplify ASIC ソフトウェアは、このようなASIC設計者のニーズに応えます。Synplify ASICソフトウェアはSynplicity[®]社の全製品に共通するコンセプトを提供します。すなわち、超高速処理、操作・習得の容易性、さまざまな設計スタイルに対応する柔軟性、そして複雑なASIC設計に適用するのに十分なパワフルな機能です。

Synplify ASICソフトウェアの機能

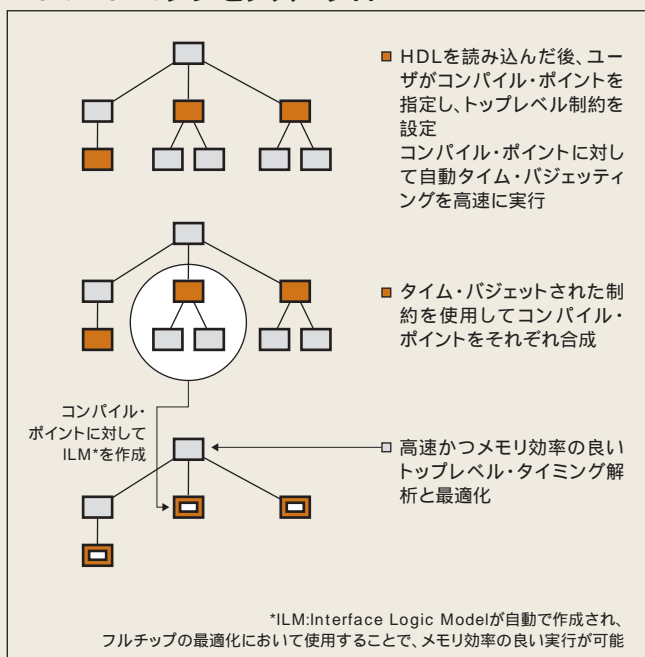
- MultiPoint[™]シンセシス・テクノロジー - 数百万ゲート規模のASICを最適化するための手法
- 超高速コンパイル - 数日を要していた合成処理が、1日に何度も可能に
- 先進のシンセシス最適化 - Sequential Optimization、In-Place Optimization、高性能モジュール・ジェネレータ、およびBEST[™] (Behavior Extracting Synthesis Technology[®])
- HDL Analyst[®] - RTL解析/デバッグ環境を提供
RTL回路図、ゲートレベル回路図、デザイン・ソースコードおよび3rdパーティのテキスト・ファイル間でのクロスプロビングを実現
- 高性能タイミング解析エンジン
- 群を抜く使いやすさと直感的なGUI
- 詳細なエラー・レポートとログ・ファイルを出力
- テスト、フォーマル検証、タイミング解析および配置配線などの主要ツールとのインテグレーション

Synplify ASICの機能	利 点
MultiPoint シンセシス・フロー	数百万ゲート規模のSoC設計のために最適化された合成フロー
独自のBESTアルゴリズム	従来のシンセシス・ツールと比べわずかな時間で設計全体の最適化を実行
HDL Analyst-RTL解析/デバッグ・ツール	ASICベンダ固有のシンボルでRTL/ゲートレベル回路図を高速処理: クリティカル・パスの識別が容易
トップダウン・シンセシス	最大200万ゲート規模設計に対して、設計階層をこえた自動最適化を実行 面倒な手作業によるスクリプト作成やタイム・バジェットテイングは不要
SCOPE® -マルチレベルの設計制約エディタ	タイミング制約を入力するための直感的なGUIを提供
広範なタイミング・レポート	デザイン内のタイミング・パスを即座に解析し、カスタマイズしたタイミング・レポートを生成
Synopsys®社フォーマットSDC制約の生成	タイミング情報をシームレスに配置配線ツールへフォワード・アノテーション
スキャン・レジスタの置換	スキャン・ベース設計に対する正確なタイミング解析
モジュール・ジェネレータ	演算/データパス・ファンクションを、高速かつ最少面積でインプリメンテーション
In-Place Optimization	配置配線の結果をベースにした再最適化
.libライブラリ・フォーマットの変換	標準のASICライブラリ・フォーマットをサポート
言語センシティブ・エディタ	Velilog/VHDLのシンタックス・チェックおよびシンセシス・チェック
明確で詳細なセルフ・ベース・チュートリアル	ツール操作の習熟に必要な期間はわずか1日で十分

MultiPointシンセシス・テクノロジー

処理速度、タイミングや面積などの合成結果の品質、IPブロックのハンドリング、超大規模設計に対する処理能力など・・・これらの点から、Synplify社のMultiPointテクノロジーは優れたデザイン・メソッドです。この革新的なMultiPointテクノロジーは、ボトムアップ手法（安定性、処理速度、キャパシティ）とトップダウン手法（最高品質）の両方の利点を提供し、劇的な性能向上を可能にします。MultiPointテクノロジーは、ASICとFPGA双方に適用可能です。

MultiPoint シンセシス・フロー



HDL Analyst デバッグ環境

Synplify ASICソフトウェアは、HDL Analyst - RTLグラフィカル解析/デバッグ・ツールを標準で装備しています。タイミング情報と共にハイレベルなRTLブロック図とゲートレベル回路図が表示され、またこれらの回路図はHDLソースコードを相互にリンクしています。設計データを視覚的かつ直感的に表示し、デバッグ環境を提供します。

設計手法に柔軟に対応

設計者は、自分が最適と考える設計手法を使用してください。一括処理が最適な設計に対しては、Synplify ASICソフトウェアは、トップレベル・タイミング制約（自動タイム・バジェットテイング）を使用して最大200万ゲート回路を一括処理します。この手法は、デザインを完結する最短の手法です。一方、ボトムアップ・フローでは、超高速処理によって競合ツールよりも素早いタイミング収束が可能です。

ASICベンダによるライブラリのサポート

Synplify ASICソフトウェアはlibフォーマットを直接変換するユーティリティを備えています。libを使用する他社シンセシス・ツールをASICベンダがサポートしていれば、それらと同じライブラリを変更することなく使用することができます。また、カスタムライブラリであっても、libフォーマットであれば、Synplify ASICで変換可能です。



シンプリシティ株式会社
〒151-0053
東京都渋谷区代々木2-10-8
ケイアイ新宿ビル6F
Tel. 03-5358-3301
Fax. 03-5358-3321
sales-jp@synplivity.co.jp
www.synplivity.co.jp



Synplivity®

Simply Better Results