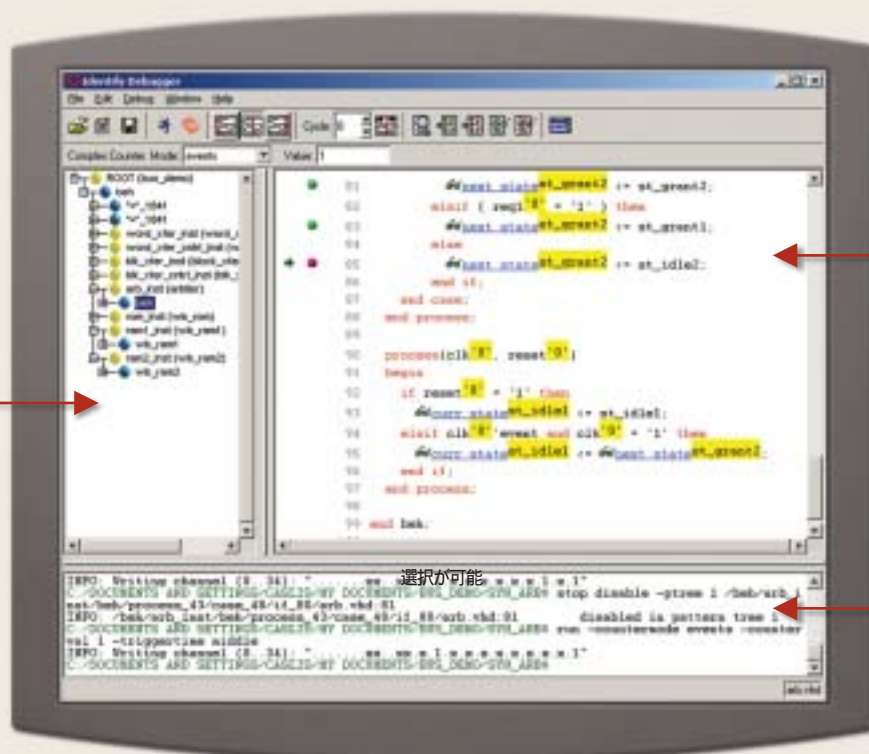


# Identify™

## RTL デバッガ



デザイン階層ビュー：  
RTLソース・コード表示のために  
どんなレベルでもデザインの

RTLソース・ビュー：  
オリジナルRTLソース・コード、  
可能なトリガ、現在のトリガ  
およびターゲットFPGAからの  
実データを表示

選択が可能

コマンド・ライン・ビュー：  
TCLコマンド / スクリプト  
の使用、コマンド・ヒストリ  
の参照、およびデバッグ・ロ  
ジックのサイズ見積りが可能

FPGAデザインの機能性を完全に検証することは、これまで以上に複雑になってきています。現在のFPGAの規模では、ASICに匹敵する機能性が可能です。シミュレータのような従来の検証手法は非常に時間がかかり、かつ回路内部のテストができません。FPGAからビット・レベルの信号を取り出す手法で得られるデータは、理解して変更するのに多くの時間を消費します。Synplicity社のIdentifyソフトウェアは、FPGAを回路内部で駆動しながら、オリジナルのRTLソース・コードを直接デバッグすることによってFPGAの機能検証の課題を解決します。実速動作中の回路内部の検証、RTLソース・コードへ条件的トリガを容易に設定、FPGAからのデータをRTLソース・コードや波形ディスプレイに直接表示などの利点を提供します。

### 実速動作中の回路内部をRTLでデバッグ

Identifyソフトウェアは、ハードウェア・トリガをコントロールし、RTLソース・コードに直接取り込まれたデータを表示することによって、RTLシミュレータに類似した方法でハードウェアをデバッグすることを可能にします。このことによって、複雑な機能の問題を特定する しばしばそれはバグを発見することを意味する のに必要とされる時間を数週間、数ヶ月の単位から数日に削減するという劇的な時間短縮を実現します。Identifyソフトウェアを既存のデザインに適用することは非常に簡単です。Identify InstrumentorはHDLソース・コードを読み込むために使用され、設計者は観測するための信号やソース・コードの部分を選択することが可能です。

その後Identify Instrumentorは新たなRTLソースを作成し、通常のフローと同様に合成され配置配線ツールに渡されます。いったんFPGAがプログラムされると、トリガをセットし、取り込まれたデータを観察するために、Identify DebuggerがJTAG経由でFPGAと情報のやり取りを行います。

