

# Certify<sup>®</sup>

## 複数FPGAプロトタイプによるASICベリフィケーション



インフォ・ビュー：  
デバッグ挿入論理を含む全階層  
の設計情報へ即座にアクセス

インパクト・アナリシス：  
“what-if”解析を使った簡潔  
で明瞭なレポートで、様々  
なパーティショニングの検  
討が容易

回路の全階層を表示

パーティション・ビュー：  
インタラクティブなパーティシ  
ョンではドラッグ&ドロップで  
実行。自動分割にはクイック・  
パーティショニングを使用

HDL Analyst<sup>®</sup>のRTLビューア：  
RTLコードから回路図を生成し、

接続マトリクス：  
機能ブロック間の接続情報を  
即座に簡潔に表示

ベリフィケーションは、今日のASIC設計において重圧となっ  
ている問題です。伝統的なベリフィケーション手法では、莫大な  
時間と費用がかかります。Synplicity社のCertifyソフトウェアは  
この問題を、オリジナルの設計を修正することなく、わかり易い  
直感的な方法で、ASIC設計を複数FPGAによるプロトタイプを  
実行することによって解決しました。

また、従来のFPGAプロトタイプング・テクニックは難しく、  
厄介でかつ時間がかかります。Certifyソフトウェアは、RTL  
からダイレクトに実行可能な、直感的でユーザ・フレンドリな  
インターフェイスを提供することにより、使いやすかつ高速  
な処理を実現しました。一貫した最高の品質を提供することは  
言うまでもありません。

### Certifyの特長

- RTLでの複数チップ分割とデバッグ挿入をクラス最高のFPGA  
シンセシスと合体
- オートマッチ、マニュアルおよび、その組合せでのRTLパー  
ティショニングを実現

- プロトタイプの開発時間を劇的に短縮
- プロトタイプの性能を改善
- デバッグ挿入が容易に実行可能に
- 典型的なプロトタイプ速度は10-80MHz

### 複数FPGAで迅速なRTLプロトタイプを実現

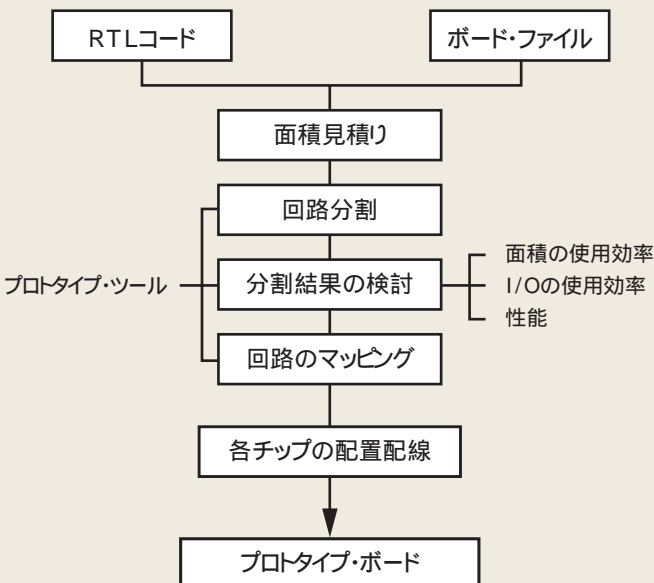
CertifyソフトウェアはFPGAを使ってASICのプロトタイプを  
作ることによって設計生産性を劇的に向上します。プロトタイプ  
から最大限の使用効率と性能速度を得るために、最適化に要求  
されるさまざまな高機能を提供しています。

また、Certifyソフトウェアには、複数FPGAのためのタイミン  
グ解析とタイム・バジェット機能が組み込まれており、各FPGA  
間の回路分割と最適化を同時に行うことが可能です。百万ゲート  
を超えるASICのRTLコードを読み込んで合成し、ダイレクト  
に複数FPGAに組み込むことができるのはCertifyソフトウェア  
だけです。その際、ユーザはRTLソース・コードを変更したり、  
合成のためだけに回路を小さなブロックに分割する必要はあり  
ません。

Certifyの機能	利 点
業界屈指のFPGAシンセシス	プロトタイプ効率と性能を最適化
RTLドリブン・パーティショニング	プロセス・レベルのRTLコードのパーティショニングを実行。自動、マニュアル、および混在でのパーティショニングが可能
パーティション・ドリブン・シンセシス	複数のFPGA間のタイム・バジェットと最適化を管理
HDLをサポート	VHDL、Verilog、および混在言語のプロトタイプが可能
I/Oと面積使用率を迅速でインタラクティブにフィードバック	容易なパーティショニングと“ what-if ”トレードオフが可能
数百万ゲートの回路に対応	回路を多くの小ブロックに分割不要
自動/マニュアルで論理の複製を管理	ASICソース・コードを変更することなく最善のタイミング性能を達成
ASIC FPGAコンバージョン・テクノロジー	ソース・コードを変更することなくASICデザイン・テクニックをFPGAに自動的にマッピング
複数デバッグ挿入テクノロジー	ソース・コードを変更することなく可観測性を上げ、デバッグを容易に
プリディファイン/カスタム・ボードをサポート	早期市場投入には既存ボードと標準ボードで。最高速のタイミング性能にはカスタム・ボードを使用
階層/フラット双方のタイプのボードデザインをサポート	シンプルなフラット・ボードのプロトタイプやチーム設計可能な大規模の複数ボードのプロトタイプも可能
インパクト・アナリシス・ウインドウ	パーティショニング決定のための検討が容易に
高性能FPGAをサポート	FPGA選択の幅を広げ、柔軟なインプリメンテーションが可能

### Certifyソフトウェアで繰り返し作業を排除

複数FPGAを使ってプロトタイプを作るために用いられてきた伝統的な手法では、合成と分割が別々のステップで行われていました。合成は分割を考慮することなく実行されており、最良の最適化結果を得られないことにつながります。また、複数FPGAに分割される際、分割によってプロトタイプの手数や配線性が受ける影響について、合成エンジンからいかなるフィードバックもなしに実行されています。この結果、設計者は、問題が解決するまで、合成と分割を繰り返す必要があり、時間を浪費します。しかも、実動作速度で動作するような適切な分割に到達するのは非常に困難です。しかも、プロトタイプでは、非常に重要であるデバッグ・アクセスを可能にするための論理の挿入は、時間がかかり、かつオリジナルのASIC RTLソース・コードの変更が必要でした。



Certifyソフトウェアは、合成と分割を1つのツールとして合体し、繰り返し作業を削減しました。これによってプロトタイプ作成に要する時間の大幅な短縮が実現します。複数のFPGA間で自動的にタイミング解析が行われるため、ほぼ実動作速度のプロトタイプを作成することが可能です。Certifyソフトウェアは、ASICベリフィケーションを促進することによって、プロトタイプの開発期間を短縮し、性能を向上し、製品の市場投入時期を早めます。

### Certifyプロトタイプ・ツール

クイック・パーティショニング・テクノロジー 自動ピン割り当て Certifyピン・マルチプライア (ピンの共有化) ファンイン・ドリブンMUX分割 デバッグ挿入	論理モジュールの複製 フィードスルー最適化 定数の伝播 ビットスライス (大規模プリミティブの分割) ジッパーリング (大規模ブロック分割)
---	--

シンプリシティ株式会社  
〒151-0053  
東京都渋谷区代々木2-10-8  
ケイアイ新宿ビル6F  
Tel. 03-5358-3301  
Fax. 03-5358-3321  
sales@synplicity.jp  
www.synplicity.jp

