

# Mixed-HDLシミュレーション

January 2001

## はじめに

現在、私たちは百万ゲート以上のデバイスが日常的に設計されるようになったシステムオンチップ（SoC）の時代を迎えています。技術の進歩により、設計の複雑度は十年前のデザインと比較して20～50倍にのぼっています。これにより、多様な機能をワンチップに作り込むことができるようになりましたが、その一方で、シミュレーション・ツールの機能を最大限に活用しなければ解決不可能な重大な検証の課題が次々と発生しています。

検証は設計期間全体の50%以上を占め（“Synopsys customer survey -year 2000” 調べ）、そのうちの80%はRTLでの機能検証に費やされています。複雑度が高くなるにつれ、デザインを正確に検証するために必要なシミュレーション・ベクタはさらに増加します。つまり、既に製品の市場投入までの期間短縮という命題を課せられた設計チームが、さらに多くのシミュレーションを実行しなくてはならないということです。したがって、必要なシミュレーションのスループットを達成するには、シミュレータの性能と容量を向上させなくてはなりません。

検証プロセスを圧迫する要因はゲート数だけではありません。現在のSoC設計では、既存の設計資産やサードパーティで開発されたIPが再利用されます。このIPは、Verilog-HDL、VHDL、Cなど、さまざまなフォーマットで記述されます。また大規模なSoCは、開発環境や使用するHDLが異なる、複数の設計チームにより共同で開発される場合が多くあります。このため、複数の設計言語に対応できる検証ツールが必要となるのです。

## Mixed-HDLシミュレーション

わざわざ2つの異なる言語を用いて設計を行いたいという人はいませんが、設計現場ではここ数年、Verilog-HDL/VHDL混在（Mixed-HDL）シミュレーションを実行する必要がある場面がより多く見られるようになってきています。これには次のような理由が考えられます。

- 複数のチームで異なるHDLと設計フローを使用して複雑なデザインを開発しているため
- 多国籍企業が各社で開発したIPを再利用する必要があるため
- 他言語で開発されたサードパーティ製IPを使用する必要があるため
- VHDLのゲートレベル性能が大規模デザインに不十分なため
- 合併された企業の所有するIPが親会社と異なる言語で記述されているため

デザインが複雑になれば、検証スピードや検証容量を犠牲にすることなく、言語混在設計をシミュレーションおよび検証することが必要となります。しかし、新しいツールを採用することによって検証フローを変更したり、その使用法を習得するのに時間をかけることは望ましくありません。これらの理由によりシノプシスは、以上の要求に対応したMixed-HDLソリューションを開発しました。

## シノプシスのMixed-HDLシミュレーション・ソリューション

Mixed-HDLシミュレーションのニーズに応えるべく、シノプシスは、Verilog-HDLシミュレータ VCSとVHDLシミュレータ Sciroccoの機能を拡張して、言語混在設計に対応した新しいソリューション VCS-MX/Scirocco-MXを開発いたしました。これらのソリューションでは、従来の使用言語や設計環境を変更する必要はありません。

MXソリューションでは、設計者が異なる言語で作成されたIPをプラグインする際に、既存のシミュレーション環境の変更や、新しいツールの習得、検証フロー全体への新しいツールの統合などは必要ありません。VHDL設計者は、RTLで使用しているツールから、VCSのゲートレベルおよびRTLのシミュレーション・スピードを利用することができます。

MXソリューションでは、革新的な技術を採用することにより、両言語が混在したデザインでもVCSとSciroccoの性能や機能を維持できるようにしました。

- VCSとSciroccoの両方でサイクルベース最適化が使用されます
- 対象言語に特化した2つの最適化されたコンパイラ技術により、各言語の処理速度を最大に引き出すことができます

## サイクルベースの最適化技術

最高のシミュレーション性能を実現するため、VCSおよびSciroccoでは、サイクルベースの最適化手法を導入しています。サイクルベース・シミュレーションでは、サイクル内のイベント伝搬を考えないため、従来のイベントドリブン・シミュレータに比べ、10~50倍も高速にシミュレーションを実行することができます。またシノプシスでは、合成可能なRTLのサブセットをターゲットとしたサイクルベース・シミュレーションを採用しています。シノプシスのダイレクトRTLのサイクルベース技術は、従来のイベントドリブン・シミュレータに比べて格段に優れたメモリ効率とシミュレーション実行時間を実現します。この技術では、RTLデザイン中のクロック構造を検出し、デザインをクロックドメインごとに分割し、処理をグローバルに最適化します。

シノプシスでは、ダイレクトRTLのサイクルベース技術の性能とVCSおよびSciroccoが持つイベントドリブン・シミュレーションの柔軟性を組み合わせることにより、SoC設計に適した最速Mixed-HDLシミュレーション性能を達成しました。この方式では、ダイレクトRTLシミュレーション技術を使用してデザインのRTL部分を最適化し、サイクルベースのサブセットに適合しない部分はイベントドリブン・シミュレーション技術で最適化します。このシノプシス独自の方式により、通常のサイクルベース・シミュレーションに関連する制約を受けずに、RTLのVerilog-HDLおよびVHDLシミュレーションを最高の性能で実行することが可能になりました。

## 革新的コンパイラ技術

シノプシスのMixed-HDLソリューションは、Verilog-HDL用とVHDL用にそれぞれ高度に最適化されたコンパイラにより、高性能なシミュレーションを可能にします。どちらのコンパイラも同様の最適化技術を適用してメモリとランタイムの両面で最も効率的なコードを生成し、それぞれの言語の特性に対応しています。高速シミュレーションを可能にする革新的技術には、次のものがあります。

- エラボレーション後のコード生成の実行。これによりオブジェクトの値およびサイズに関する多くの情報を得ることができ、よりの確な最適化とコード生成の高速化が実現します。さらに高速化を図るため、コードの各セクションもエラボレーション後に最適化することができます。
- 生成後のコードは、プロセス管理やシグナルツリーのオーバーヘッドを排除し、コードセグメントを結合するようにレベライズされます。
- 定数の伝搬、伝搬しないコードの排除、コードの移動、論理式の共通化、ループの展開、ファンクションのインライン化、ロード/ストアの改善など、広範囲にわたるコンパイラの最適化が適用されます。
- 値は圧縮された形式でエンコードされるので、シミュレータはマシンに対する命令をベクタ演算として与えることができます。これは個別のビット処理よりも高速です。
- Verilog-HDLのソースコードに対しては抽象度を上げるフロントエンドの言語変換が実行され、より規則的で最適化されたコードが作成されます。
- 処理速度の向上のため、VCS-MXとScirocco-MXはどちらも、2ステートモードを実行します。しかし、バスの使用には制限がありません。

## MXソリューションの優れたシミュレーション性能

Verilog-HDLおよびVHDL両言語から共にコードを生成する機能を持つシミュレータは、各言語を読み込んだあと1つのシミュレーション・エンジン（イベント・キューとスケジューラ）で読むことのできる中間フォーマットにコンパイルする必要があります。しかしVerilog-HDLとVHDLは全く別の性質を持った言語であるため、この中間フォーマットはどちらの言語にも最適とはいえません。この方式は、ソフトウェア・ベンダにとっては容易にツールを作成できるという利点がありますが、SoC検証では、全体的なシミュレーション性能を低下させてしまいます。

Verilog-HDLとVHDLはそれぞれ別の言語であるため、文法は全く異なります。たとえば、VHDL Language Reference Manual (LRM) ではフェッチ/実行サイクルにおけるイベントの順序付けが厳密に定義されていますが、対照的にVerilog LRMではそれよりも緩やかなイベント実行順序が許可されており、よりアグレッシブなイベントの伝搬が可能になっています。VCSでは、できる限りイベントをアグレッシブに最適化/伝搬することにより、この定義の長所を活用します。両方の言語が同一シミュレーション・エンジンで実行できるようにコンパイルされた場合、スピードの点で十分な最適化は行われません。このため、単一のコンパイル・テクノロジーを用いた言語混在対応型シミュレータは、それぞれの言語に対して高度に最適化されたシミュレータと比較して、処理速度が劣るのです。

VCS-MXとScirocco-MXはそれぞれの対象言語に対して、高度に最適化されたコンパイル技術を備えており、言語混在シミュレーションにおいて、最高のランタイム性能と検証容量を提供します。多くのSoC設計は少数の信号で構成されたインターフェイスによって結合される大きなVerilog-HDLおよびVHDLブロックを含む傾向にあります。そのためインターフェイスのオーバーヘッドに対処するよりも、それぞれの対象言語について最適化しておくことの方が、より重要で生産性が高い方法といえるのです。

ただし、インターフェイスが重要であることに変わりはありません。シノプシスのMXソリューションはVCSダイレクト・カーネル・インテグレーション技術の採用により、2つのシミュレーション・エンジンをダイレクトかつ効果的に連動させ、オーバーヘッドを最小に抑えます。実質的な結果として得られるものは、Verilog-HDL、VHDL向けに高度に調整されたコンパイラを用いて出力された最適化コードによって行われるシミュレーション速度の圧倒的な向上であり、それは両言語間のイベント伝搬で生じるわずかなインターフェイス上のオーバーヘッドを補って余りあるものとなります。

シミュレーション環境を考えると、デバッグは重要な問題です。VCS-MXとScirocco-MXはどちらもVirSimグラフィカルデバッグ環境に統合されているので、Mixed-HDLデバッグは非常に容易なものとなります。

## 高性能ゲートレベル・シミュレーション

VITAL標準は、VHDLを用いた設計のフルタイミング・ゲートレベル・シミュレーションを効率的に行うために導入されたものですが、VITALの性能は数百万ゲート規模の設計のニーズに応えるには不十分でした。VITALネットリストでは、最高速のVITALシミュレータでもシミュレーションに数時間を要しますが、同論理を記述したVerilog-HDLネットリストならVCSを用いて1時間でシミュレーションできます。このため、多くのVHDL設計者はゲートレベル・シミュレーションにVerilog-HDLを使用しています。

しかし、これまでVHDL設計者がVerilog-HDLシミュレータのより高いシミュレーション・スループットを活用するには、合成結果からVerilog-HDLネットリストを生成するのに加えて、テストベンチとIPもVerilog-HDLに変換しなくてはなりません。この方法だと、バックエンドのシミュレーション作業で非常に負荷が大きくなります。

Scirocco-MXでは、VHDL設計者はデザインからVerilog-HDLネットリストを生成するだけです。このVerilog-HDLネットリストは、論理合成ツールによって自動的に生成されます。また、VHDLのテストベンチやIPはゲートレベル・シミュレーションにそのまま使用することができます。

Scirocco-MXはゲートレベルのシミュレーション性能という重大な問題に直面しているVHDL設計者にとって、最高の環境を提供します。VHDL設計者はVerilog-HDLネットリストをプラグインするだけで、ソースコードを変更する必要はありません。使い慣れたSciroccoの環境で、設計のシミュレーションとデバッグが実行できます。このソリューションにより、VCSのゲートレベル最適化を利用して最高のシミュレーション性能を得ることが可能です。

## まとめ

デザインが複雑になるにつれ、検証の課題もより深刻なものとなります。シノプシスのMXソリューションは、最高のランタイム性能と十分な検証容量を実現し、Verilog-HDLおよびVHDLで記述されたIPが混在したSoC設計に対応します。MXソリューションにより、既存のVerilog-HDLまたはVHDL環境から、最高の性能と機能を持つ言語混在シミュレーション・ソリューションを利用することができます。

お問い合わせ先：

## 日本シノプシス株式会社

〒163-0420 東京都新宿区西新宿2-1-1 新宿三井ビルディング TEL.03-3346-7030(代) FAX.03-3346-7050

〒531-0072 大阪府大阪市北区豊崎3-19-3 ピアスタワー13階 TEL.06-6359-8139(代) FAX.06-6359-8149

Synopsys, Design Compiler, Library Compiler, SmartModel, Memory Architect, BINMOS-CBAは日本国内におけるSynopsys, Inc.の登録商標です。AMPS, Arcadia, CMOS-CBA, COSSAP, Cyclone, DelayMill, DesignPower, DesignSource, DesignWare, dont\_use, Synopsys Eagle Design Automation, Synopsys Eaglei, EPIC, ExpressModel, Formality, in-Sync, LEDA, Logic Automation, Logic Modeling, Memory Architect, ModelAccess, ModelTools, PathMill, PowerArc, PowerMill, PrimeTime, RailMill, Silicon Architects, SmartLicense, SmartModel, SmartModels, SNUG, SOLV-IT!, SolvNET, Stream Driven Simulator, Synopsys, Synopsys(Logo), Synthetic Designs, TestBench Manager, TimeMill, VirSimは米国におけるSynopsys, Inc.の登録商標です。BCView, Behavioral Compiler, BOA, BRT, CBA, CBA Design System, Cedar, CoCentric, DC Expert, DC Expert *Plus*, DC Professional, DC Ultra, DC Ultra Plus, Design Advisor, Design Analyzer, Design Compiler, DesignTime, Direct RTL, Direct Silicon Access, DW8051, DWPCI, Synopsys EagleV, ECL Compiler, ECO Compiler, Floorplan Manager, FoundryModel, FPGA Compiler, FPGA Compiler II, FPGA *Express*, Frame Compiler, HDL Advisor, HDL Compiler, Integrator, Interactive Waveform Viewer, Liberty, Library Compiler, ModelSource, Module Compiler, MS-3200, MS-3400, PowerCODE, PowerGate, Power Compiler, ProFPGA, ProMA, Protocol Compiler, RoadRunner, RTL Analyzer, Schematic Compiler, Scirocco, Shadow Debugger, SiConnect, SmartModel Library, Source-Level Design, SWIFT, Test Compiler, Test Manager, TestGen, TestSim, TetraMAX, TimeTracker, Timing Annotator, Trace-On-Demand, VCS, VCS *Express*, VCSi, VERA, VHDL Compiler, VHDL System Simulator, VMC, VSSIはSynopsys, Inc.の商標です。DesignWareの商標使用権は日本シノプシスに帰属します。VerilogはCadence Design Systems社の登録商標です。その他、会社および商品名は各社の商標または登録名です。