

# 100nm以下のデバイスに対応したシミュレーションに必要な手法の探究

## 概要

半導体業界の最近の傾向を分析すると、幾つかの新しいシミュレーションの手法を模索する必要性が示唆されている。そのため、リソグラフィ及び光学近接効果補正から3次元連続体及び原子レベルのプロセスモデルに至る幾つかの複合的なシミュレーションツールが、単一のシミュレーションフローとして統合された。

この統合されたツール群を典型的な100nmのn型チャンネルMOSFETに適用することにより、デバイスの性能に重要な影響を与える幾つかの3次元効果が明らかにされる。

## 1. はじめに

現在の半導体業界における、100nm以下のデバイスへの移行トレンドには、製造プロセスにおける次の様な動向と従来の伝統的なシミュレーションのアプローチへの挑戦が伴う。

光学フォトリソグラフィ波長では、設計ルールの微細化に対応しきれなくなっている反面、光学近接効果が高まるにつれ、シリコンレイアウトを設計レイアウトに近づけるための光学近接効果補正（OPC）ツールの必要性は必然的に高まる。

低温固相エピタキシ（SPE）などの少熱量のアニール、またはスパイク高速熱アニール（RTA）に加え、炭素や窒素を巧みに使用することにより、ドーパントの拡散は事実上抑制する事ができる。その一方、ドーパント欠陥対や異なった構成から生じる拡張欠陥等の種々の構成を含んだドーパント活性化現象は多くの場合熱力学的平衡に至らず、平衡シミュレーションよりも過渡シミュレーションが必要となる。

連続体拡散モデルでは、ドーパント欠陥の構成に対して1方程式の割合で増え、解くべき方程式の数は莫大な量となる。一方、原子レベルの拡散モデルは付加的な反応に対する確率を導入することにより、ありのままに対処する。

デバイスのサイズが小さいということは、数十から数百の限られた数の不純物原子が、しきい値電圧を確定することを意味する[1]。この様に小さな離散化した分布を平滑な連続体の集合として扱う事に少なからず疑問が残る。

本稿では、100nm以下のデバイスに対する新たな要望にも対応できるシミュレーション手法を探究する。

## 2. デバイスのレイアウト

図1に示された長さ100nm、幅100nmの正方形チャンネルを備えたn型チャンネルMOSFET設計レイアウトを考える。

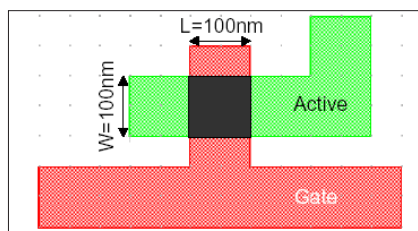


図1. 100nm×100nmの正方形チャンネルを備えたMOSFETの設計レイアウト

チャンネルは、アクティブ（STI）マスクとゲート（ポリ）マスクが交差した部分の黒い正方形として図示されている。193nmの波長を備えたキャノン製ステップパを利用して得られたレイアウトが、図2で表されるシリコンレイアウトである。

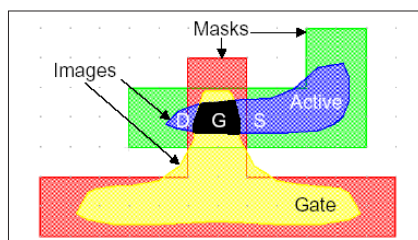


図2. 193nmキャノン製ステップパを利用して得られた正方形チャンネルを備えたMOSFETのシリコンレイアウト（イメージ）

このシリコンレイアウトは、キャノン製ステップパに対して調整されたフルチップ光学近接効果補正（OPC）ツール Prospector [2]を用いてシミュレーションされている。このシリコンレイアウトは、フォトレジスト層の底部に対応する光強度の輪郭線も表している。シミュレーションの精度は、極めて高いことで知られている。TEM写真との検証については、文献 [3] を参照。

くどいようだがチャンネル領域は、アクティブイメージとゲートイメージの交差した部分の黒い多角形として示される。ここでのチャンネルは特殊な形状をしており、チャンネル長が61nmから82nmまで、チャンネル幅が68nmから73nmまで変化している。「D」とマークされたドレイン領域は、容認できないほど小さく、このような著しい歪みを補正

するために、マスクの補正が必要となる。

図3は、Prospectorによって自動的に追加されたセリフを備えた設計レイアウトを表している。

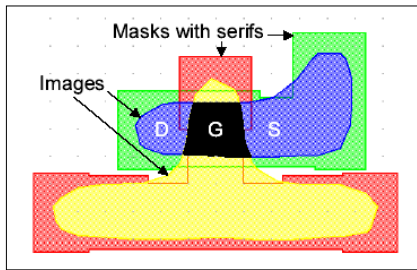


図3. マスクに沿って光学近接効果補正を施したシリコンレイアウト

これで歪みは緩和されたが、チャンネルの形状は全くの矩形とは言えず、チャンネルの長さや幅の変動は、設計レイアウトの20%以内である。

残った歪みはマスクのコーナーをチャンネルから遠ざける事により更に緩和できる。しかしこれを行うと、無駄な領域が増え、メモリセルの様な労力を要する多くの適応例では、望ましくなく、受け入れられない可能性さえある。得られたシリコンレイアウトは、3次元的な特性を備えており、有効な2次元断面によって近似する事が困難であることが分かる。更に、その非対称性から、半分あるいは4分の1ではなく、構造全体をシミュレーションする必要がある事も想像できる。

### 3. プロセス・シミュレーション

図3に示された最終的なシリコンレイアウトが、3次元プロセスシミュレータTaurus [4]の中でSTI及びポリシリコンゲート用のエッチングマスクとして使用された。図4は、プロセスフローの最終段階における構造である。STIを表示から外した図5の構造では、トランジスタを含んだシリコンの柱を見る事ができる。

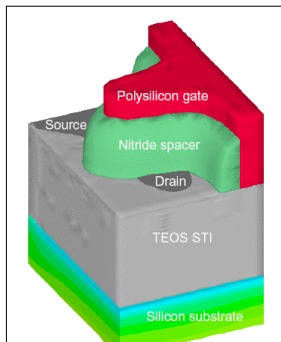


図4. プロセス最終工程時における構造

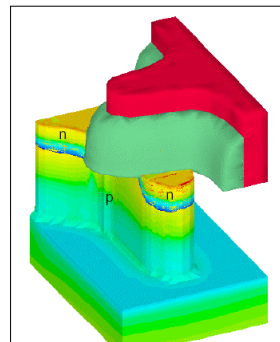


図5. プロセス最終工程時における構造 (STIを表示から外している)

### 3.1. Continuum approach

#### 3.1 連続体アプローチ

注入および拡散プロセス向けの従来の連続体モデルを用いると、チャンネル表面にドーピングプロファイルが現れる。図6参照

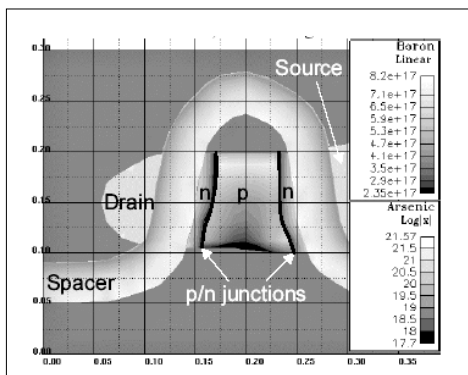


図6. 連続体アプローチを用いてシミュレートしたチャンネル及びS/Dドーピングを上から見た図

チャンネル全体に渡るチャンネル長の変動は、ソース、ドレイン、及び拡張注入のマスクとして使用されたポリシリコンゲートの複雑な形状によって引き起こされる。

チャンネル内のボロン・ドーピングの著しい変動は、ポリシリコンゲートを介した4倍の高傾斜halo注入中の3次元シャドウイング効果によって引き起こされ、最も高いボロン濃度は、チャンネル長の最短部で生じ、最も低いボロン濃度は、チャンネルの最長部で生じている。

幸い、この様なチャンネル長とチャンネルドーピングの相互作用が互いに償うため、チャンネル全体で起こりうる電流の非均一性を減少させる。

### 3.2 原子レベルのアプローチ

このデバイスのプロセス・シミュレーションへのもう1つの手法は、モンテカルロ法を使って注入及び拡散などドーピングに関連した全てのプロセスをモデル化するものである。我々は、Taurusのモンテカルロ法による注入モデルおよびDADOS[5]の動力学モンテカルロ法による拡散モデルを使用した。

図7は、ソース/ドレイン活性化アニール処理中のドーパント及び欠陥の分布を表している。

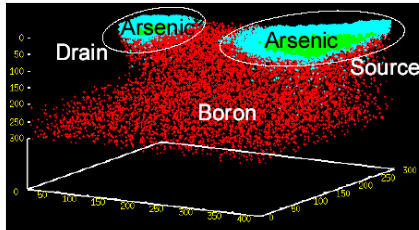


図7. アニール中のドーパント及び欠陥。これらはシリコン中のみで表示されている。

各ドットは個々の原子を表す。DADOSでは平均を取るのではなく、各不純物及び欠陥原子の動きを別個に追跡する。明るいドットは砒素原子、暗いドットはボロン原子を表している。

構造内の原子数の合計は、注入ドーズ量によって決定され、チャンネル表面から100オングストローム以内のボロン原子数は、劇的に少なくわずか44個である。モンテカルロ法をランダム化するために使用された別々のシードが、原子位置を幾分変化させるため、デバイスの電気的な振る舞いを変化させる。これは当然、トランジスタ間に見られる統計的変動の分析に用いる事ができる。

ソース領域の砒素濃度が高いため、拡張欠陥を見つける事は困難である。構造のこの部分の詳細を図8に表す。砒素原子が表示されていないため、今度は{311}欠陥をはっきりと見て取る事ができる。

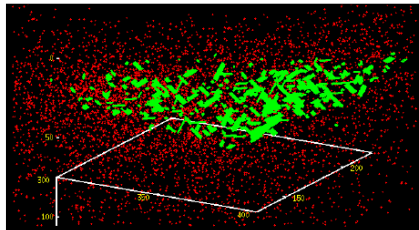


図8. デバイスのソース下のボロン原子及び{311}拡張欠陥

図9には、原子レベルの注入及び拡散手法を用いて得られ、その後、原子の位置から濃度へと変換された構造の表面における最終的なドーピングプロファイルが示されている。

チャンネル全体に渡るドーピングの変動は、ここでは連続体アプローチの場合よりも更に大きくなる。これは、チャンネル全体でわずか数個のボロン原子分布の離散的な性質によるものと推測できる。

### 3.3 3次元プロセスシミュレーションに必要なCPU時間

3次元の原子レベルの拡散シミュレーションに要したCPU時間は、アニール工程あたり数時間であり、これは3次元連続体シミュレーションの場合とほぼ同等である。原子レベルのシミュレーションに要するCPU時間は、含まれる移動粒子の数によって決まる。従って、CPU時間はデバイスサイズに伴いスケールダウンする。

3次元の原子レベルの注入シミュレーションに必要なCPU時間は、そのような小さいデバイスに対して実際に必要な注入イオン数が $10^3$ から $10^5$ のオーダーであるため、わずか数分に過ぎない。これはSIMSデータと比較するために必要なスムーズな1次元のチャネリングテールを得るための擬似粒子よりも少ない数である。

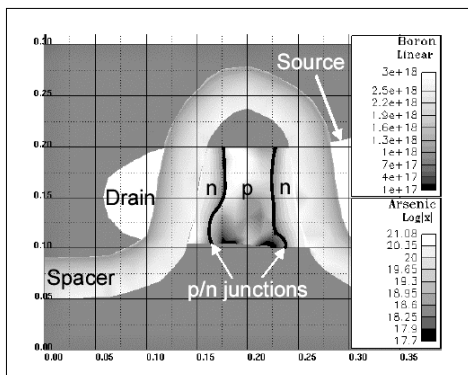


図9. 原子レベルのアプローチを用いてシミュレーションしたチャンネル及びS/Dドーピングを上から見た図

## 4. デバイスシミュレーション

得られた構造に対するデバイスシミュレーションは、デバイスシミュレーションモード用にメッシュを細かくチューニングした後で、Taurusを用いて実行された。

ドレインに低バイアスをゲートに高バイアスを印加した場合のチャンネル内の電流密度分布を、図10に示す。

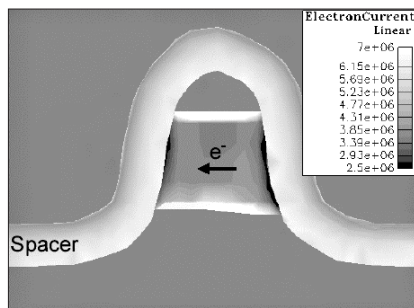


図10. チャンネルにおける電流分布を上から見た図。  
Vds=50mv; Vgs=1V

最も高い電流密度は、チャンネルに隣接するSTIの上面のポリシリコンゲートからの周辺の電界によりSTIのコーナーに沿って見られる。STIから離れると、電流密度は約50%の幅で変動し、このとき最も電流が少ない部分は、チャンネル長が最短でボロンのドーピングが最も高い部分である。

これは、この特定の形状とプロセスフローに対して、チャンネル内のボロン・ドーピングの変動がチャンネル長の変動に過剰反応している事を表している。

図11は、正方形チャンネルのデバイスのIV曲線を、連続体及び原子レベルの手法を用いて得られたOPC処理を施したデバイスのIV曲線と比較したものである。

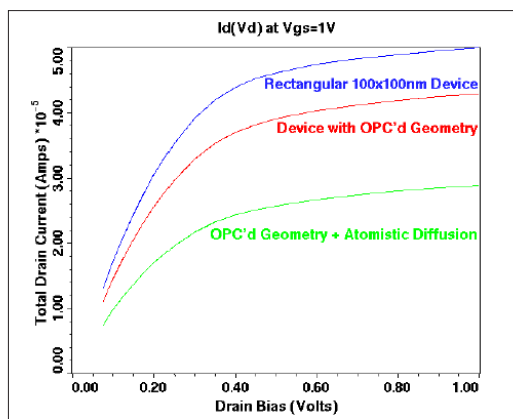


図11. 電気特性の比較

完全に矩形のチャンネル形状を備えたデバイスは、現実的なチャンネル形状のデバイスよりも14%強の電流を生じ、原子レベルのシミュレーションでは、駆動電流を32%削減する事となる。

## 5. 結論

フォトリソグラフィ、OPCから3次元プロセスシミュレーションに対する連続体及び原子レベルのモデルに至るまでの、幾つかの多様なシミュレーションツールが、単一のシミュレーションフローに統合され、100nmのn型チャンネルMOSFETに適用された。

リソグラフィの歪み、注入のシャドウイング、及び有限個のドーパント原子に起因する幾つかの興味深い3次元効果がチャンネル内で観測され、これらの3次元効果がチャンネル内の電流の非均一性や総ドレイン電流に及ぼす影響を調査した。

原子レベルのシミュレーションのアプローチは、連続体アプローチよりも、以下の点で有利である。複雑なドーパント・欠陥の相互作用現象をより容易に処理する事ができ、デバイスサイズの縮小に伴いCPU時間を削減でき、デバイス性能の統計的な変動を検討する事が容易である。我々は、これらの利点により、このアプローチが先端デバイスの設計において主流となると信じる。

## 6. 参考文献

- [1] A. Asenov et al., *IEEE Trans. Electron Devices*, vol. 48, p. 722, (2001)
- [2] Prospector Reference Manual, version 2001.4, Avant! Corp., Fremont, USA.
- [3] A. Balasinsky et al., *Proc. Microlithography Symposium Interface '98*, p.74 (1998)
- [4] Taurus Reference Manual, version 2001.4, Avant! Corp., Fremont, USA
- [5] M. Jaraiz et al., *Proc. SISPAD 2001*, p.10 (2001)