

# 10nm MOSFET解析向けの原子レベルのプロセス/デバイス統合シミュレーション

## 概要

本稿では、10nmのMOSFET解析向けの原子レベルのプロセス/デバイス統合シミュレーションの手法を紹介する。原子レベルのプロセス・シミュレーションは、動力学モンテカルロ法 (kinetic Monte Carlo:KMC) のプロセス・シミュレータDADOSを用いて実行した。DADOSは、現在、シノプシスの3次元プロセス/デバイス・シミュレータTaurusの中に統合されている。デバイス・シミュレーションでは、密度勾配量子補正を取り入れたをを取り入れたGlasgow大学の原子レベルの統合的な3次元シミュレータを用いて行われた。全般的な方法論は、東芝から報告された物理的なゲート長が35nmの優れた性能を発揮するMOSFETの原子レベルのプロセス/デバイス・シミュレーションの中で説明される。

## I. はじめに

半導体の国際技術ロードマップの2001年版によれば、10nm以下の物理的なチャンネル長MOSFETの量産は2016年までであると言われている[1]。このタイプのデバイス (図1) には、有効チャンネル長に沿っておよそ10個のシリコン原子が存在し、シリコン、ドーパント、または絶縁体の各原子の位置が、デバイス特性に関して巨視的な影響を及ぼす可能性がある。

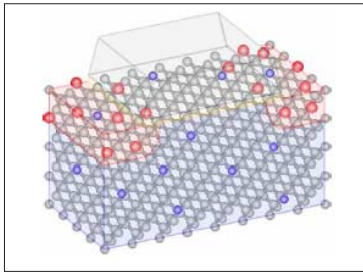


図1: シリコン結晶格子を重ね合わせた5nm MOSFETのイメージ図

離散的でランダムなドーパントの分布[2]や原子寸法のシリコン/絶縁体界面の粗さ [3]、そしてゲートのライン端の粗さ (LER:Line Edge Roughness) [4]等が、10nmのMOSFETにおいて、大きなパラメータ変動をますます作り出している事は、よく知られている。しかしながら、現在まで、内因性変動効果のデバイス・シミュレーションの研究では、離散的なドーパント分布の大半が、表面的には一連の確率学的な技法を使用して、対応する連続的なドーピング分布から生成されていた[2,5]。

従来の手法では、静電的相互反応[6]と大きな欠陥の集合体[7]による注入/アニールの段階で導入される離散的なドーパント分布の相互関係は無視されていた。原子レベルでのデバイス・シミュレーションの現状打開に向けた次の一歩は、原子レベルのプロセス・シミュレータで生成された離散的なドーパント分布を利用する事である。原子レベルのプロセス・シミュレーションにおける昨今の進歩により、現在ではこれが可能となっている[8]。

## II. 原子プロセス・シミュレーション

『標準的』統計学的な原子レベルのプロセス・シミュレーションでは、(解析的に、あるいはPDEベースのプロセス・シミュレータを用いて得られる) 連続的なドーピング・プロファイルが巨視的には同一であるが微視的には異なるデバイスの数多くのサンプル中のランダムで離散的なドーパントの分布を各種の確率学的な技法[2,5]を使って、生成するために使用されている。本節では、統計学的な原子レベルのデバイス・シミュレーションに対する確率学的で離散的なドーパント分布の直接のソースとして、DADOSを利用できるかどうかの可能性について検討する。

動力学モンテカルロ法 (KMC) シミュレータDADOS[7,8]は、シリコン中の物理的な拡散現象の基礎研究を何年も重ねて開発された。この機能が商用TCADツールTaurus[9]に組み込まれた事により、現在では注入、エッチング、堆積、アニール、酸化、エピタキシャル成長、及びシリサイドーションを含んだ完全なプロセス・フローのシミュレーションができ、現実的なデバイスの原子レベルの完全なプロセス・シミュレーションが可能となった。この統合には、物理モデル (例:材料界面での相互作用のモデル化や、電界の自己無撞着的な包括等) のレベルにおける現在の原子レベルの拡散シミュレーションの改善、及びデータ構造とアルゴリズムに対する改善も必要とされた。デバイス寸法が100nm以下となると、デバイスのドーパント量が少なくなるので、KMCシミュレーションはますます実用のTCAD分野で期待を集め、更に、より大きな寸法のデバイスに対しても、連続体ベースのシミュレータで使用されるモデル用のパラメータ抽出には欠かせない役割を果たすであろう。我々の現在の目的に対しても、KMCプロセス・シミュレーションは、原子レベルのデバイス・シミュレーションの現状と精度を改善するために必要となるランダムが

つ離散的なドーパント分布の優れたソースを提供している。原子レベルのプロセス/デバイス・シミュレーションの統合により、次世代デバイスの内因性パラメータの変動特性や、この様な変動がシリコン・デバイスの飽くなきスケールダウンに負わせる制限を容易に理解する事ができる。

本稿では、統合された原子レベルのプロセス/デバイス・シミュレーションの方法論を、35nmのn型チャンネルMOSFET中のランダムで離散的なドーパントによって引き起こされた内因性パラメータ変動の抽出を通じて例証する。図2で図示されたこのデバイスは、東芝[10]が開発し、2005年までに量産体制に入ると期待される80nmの技術点において、現在、最も高い性能を誇っている。信頼性の高いシミュレータの調整のために極めて重要となる構造やドーピング情報が十分に文書化されているので、このデバイスを例として選択した。

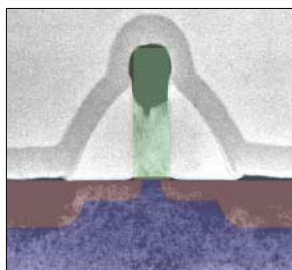


図2: 東芝の35nmMOSFET概略図

我々は、構造と実測デバイス中のドーピング情報を確認したり、適応範囲を縮めるために、連続的なドーピング分布を使用して、電流/電圧特性を注意深く調整する事から始めた。図3に示すように、Taurus及び同様の連続的なドーピング分布を用いた我々の3次元シミュレータによって得られた標準的なドリフト拡散シミュレーション結果は、両方とも実測のデバイス特性と非常によく一致している。

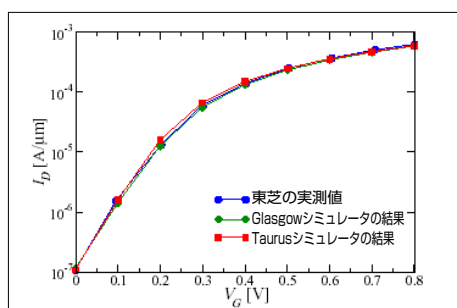


図3: 図2のデバイスの実測値とシミュレーション結果の比較

テスト用MOSFETのソース/ドレイン領域内における連続したドーピング分布と原子レベルのドーピング分布を、図4で比較する。連続的プロファイルはPDEベースの拡散シミュレーションから、離散的ドーパント分布はDADOS拡散シミュレーションから取得した。

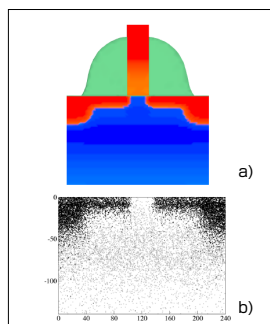


図4: テスト用MOSFET中のドーパントの分布。

- a) PDEベースのプロセス・シミュレーションから得られた連続的なnetドーピングの分布
- b) DADOSから得られた離散的ドーパントの分布

### III. 原子レベルのデバイス・シミュレーション

Glasgow大学の原子レベルの統計的な3次元デバイス・シミュレータの詳細説明は、別の機会の特記する[2]。概要を紹介すると、直線メッシュに効率的な並列解法技法を利用して、ドリフト拡散近似の半導体方程式を解くツールである。シリコン連続体内に存在するDADOSシミュレーションから取り込まれたドーパントは、デバイス・シミュレータの直線メッシュのノードに割り当てられる必要が有る事を意味する。割り当てを実行するには、DADOS出力ファイル中のドーパント座標を、原子レベルのデバイス・シミュレータに取り込めば良い。各ドーパントに対して、ドーパントが存在しているメッシュの『積み木』を構築するために検証し、次に単位電子電荷の重み付けされた係数を、粒子ベースのモンテカル口法のデバイス・シミュレータ[11]の中で広く使われているセル電荷割り当て法を使用し、積み木のコーナーの8つのメッシュノードに割り当てる。ソース/ドレイン端とデバイス基板における連続的なドーピングのバンドが境界条件を単純化するために取り入れられる。

このドーパント割り当て手法を実現させるのは簡単だが、細かいメッシュ間隔が使用されている場合、個々の離散的なドーパントの寄与を分解しようとする際のソース/ドレイン領域では、特に問題を引き起こす可能性がある。これらのドーパントは $10^{20}\text{cm}^{-3}$ のドーピング濃度では約2nm離れている。この問題の原因は図5aを見れば、明らかである。この図は、連続的なアクセプタ・ドーピングがチャンネル領域内で使用されたが、ソースやドレインの接合には離散的でランダムなドナーが取り入れられた場合の、テスト用デバイス中のSi/SiO<sub>2</sub>界面における電位分布を示している。

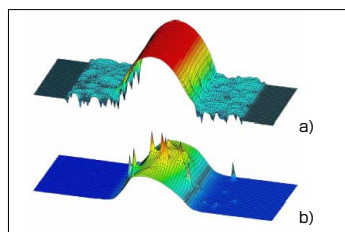


図5: 35nm MOSFETのSi/SiO<sub>2</sub>界面における2次元の電位分布  
a) 連続的なチャンネル及び原子レベルのソース/ドレインのドーピング  
b) 原子レベルのチャンネル及び連続的なソース/ドレインのドーピング

このケースでは、1nmのメッシュ間隔を用いた均一グリッドが使用されている。古典的なドリフト拡散シミュレーションでは、ソース/ドレイン領域内の多数の電子は、細かいメッシュによってはっきりと分割され、実際には電子エネルギーの量子化のため抑止されているイオン化されたドナーのクーロン・ポテンシャルの谷に捕獲される。これにより移動性電子の実効濃度が低減され、ソース/ドレイン領域の抵抗が人為的に増加してしまう。かつて、クーロン・ポテンシャルを原子レベルのシミュレーション用に短レンジと長レンジの成分に分割しようとする試みがあったが[12]、人手不足でつまずき、現時点ではこの問題に対応する一般的な方法は存在しない。以下で提案する我々のシミュレーションでは、チャンネル、ソース及びドレイン領域の中に原子価が含まれ、人為的な捕獲は、ソース/ドレイン領域中の電子移動度を高める事により補正する事ができる。

幸いにもこのような問題は、イオン化されたアクセプタに関連するクーロン障壁の分解能が電位の谷を通じて流れる電流に大きな影響を与えないチャンネル領域内では発生しない。従って、これまで文献の中で報告されて来た内因性パラメータ変動の主な原因がチャンネル領域内のランダムなドーパントであるという説は、引き続き有効と言う事になる。

原子レベルのデバイス・シミュレーションに関する更なる洞察を、図6で示す。この図6には、図4bのドーパント分布に対する電位及び電子の濃度分布が示されている。等濃度曲線プロットでは、個々のアクセプタ（青色）及びドナー（黄色）の位置がマークされている。

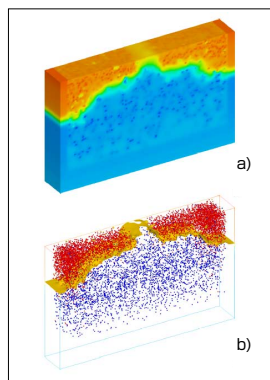


図6: VG=0V、VD=0.01Vの35nm テスト用MOSFET中の  
a) 電位分布  
b) 電子濃度分布

図7では、50個の（微視的に異なる）テスト用MOSFETに対して原子レベルでシミュレーションされた電流・電圧特性を連続したドーピング・シミュレーションの結果と比較している。既に報告されている通り[13, 14]、デバイス・パラメータの巨視的な変動に加え、50個の原子レベルのシミュレーションから得られた平均電流は、連続的なドーピングで得られたものとは異なる。明らかにデバイスによる影響だとされるもの以外に、これによって、実測デバイスの統計的な集合の平均値や標準偏差を踏まえた原子レベルのデバイス・シミュレーションの適切な調整が必要となる。電流の標準偏差は、図8に示すように印加されたゲート電圧に応じて変動するため、事態は更に複雑化する。

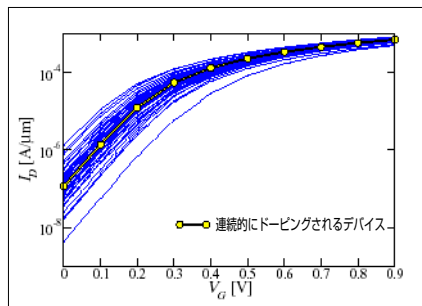


図7: 50個の（微視的に異なる）テスト用MOSFETの原子レベルでシミュレーションされた電流電圧特性と連続的なドーピングによって得られた結果の比較。

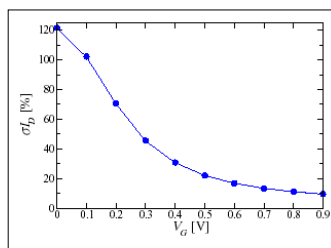


図8: ゲート電圧に対するMOSFET電流の標準偏差の依存度。

#### IV. 今後の課題

離散的でランダムなドーパントによってもたらされる内因性パラメータ変動の研究に加え、統合されたシミュレーションの手法は、内因性パラメータ変動の様々な原因の組み合わせを調査するために不可欠なものとなるであろう。

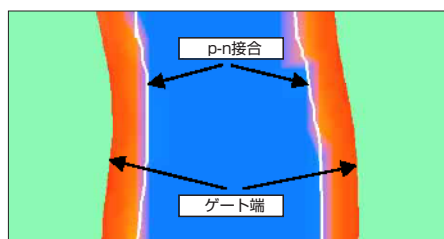


図9: テスト用MOSFETのゲート・パターニングに関連したライン端の粗さを考慮したプロセス・シミュレーション Taurus Processのシミュレーション結果

図9は、[4]で概略を記した統計的アプローチを使用して、プロセス・シミュレーションにゲートのライン端の粗さが導入された場合の35nm MOSFETのゲート形状と連続的なドーピング・プロファイルを表している。今後は、ライン端の粗さと内因性パラメータ変動のシミュレーション中のランダムで離散的なドーパントの寄与を組み合わせる事が目的となる。

#### V. 結論

本稿では、原子レベルのプロセスとデバイス・シミュレーションの統合を説明する方法論と暫定的な結果を紹介した。これは、次世代10nmMOSFETにおける離散的かつランダムなドーパントによってもたらされる内因性パラメータ変動を研究するための唯一の首尾一貫した手法である。

#### 謝辞

UK EPSRC (GR/R47325及びDoctoral Training Account) SHEFC (RDG VIDEOS) 及びIBM (SURプログラム) の支援に感謝します。

#### 参考文献

- [1] *International Technology Road-Map for Semiconductors*, Semiconductor Industry Association, San Jose, CA, (2001)
- [2] A. Asenov, G. Slavcheva, A. R. Brown, J. H. Davies and S. Saini, *IEEE Trans. Electron Dev.*, 48 722 (2001)
- [3] A. Asenov, S. Kaya, J. H. Davies, *IEEE Trans. Electron Dev.*, 49, 112 (2002)
- [4] S. Kaya, A. R. Brown, A. Asenov, D. Magot and T. Linton, *Simulation of Semiconductor Processes and Devices 2001*, Eds. D. Tsoukalas and C. Tsamis, *Springer*, 78 (2001)
- [5] D. J. Frank, Y. Taur, H.-S.P. Wong, *Symp. VLSI Tech.* 169 (1999)
- [6] M. Hane, T. Ikezawa, K. Takeuchi and G. H. Gilmer, *IEDM Tech. Dig.*, 843 (2001)
- [7] M. Jaraiz, G. H. Gilmer, J. M. Poate, and T. D. de la Rubia, *Apply Phys. Lett.*, 68 409 (1977)
- [8] M. Jaraiz, P. Castrillo, R. Pinacho, I. Martin-Bragado, and J. Barbolla, *Simulation of Semiconductor Processes and Devices 2001*, Eds. D. Tsoukalas and C. Tsamis, *Springer*, 710 (2001)
- [9] N. Strecker, V. Moroz, and M. Jaraiz, *Computational Nanoscience and Nanotechnology*, 247 (2002)
- [10] S. Inaba et al. *IEDM Tech. Dig.*, 641 (2001)
- [11] R. W. Hockney and J. W. Eastwood, "Computer Simulations Using Particles", IoP Publishing (1988)
- [12] N. Sano, K. Matsuzawa, M. Mukai, N. Nakayama, Electron Devices Meeting, 2000. *IEDM Technical Digest*. 275 (2000)
- [13] H.-S. Wong and Y. Taur, *Proc. IEDM Dig. Tech. Papers.*, 705 (1993)
- [14] A. Asenov, *IEEE Trans. Electron Devices*, 45, 2505, (1998)