

スタティック・クロストークおよび IRドロップ遅延解析

2002年9月

はじめに

今、超ディープ・サブミクロン（UDSM）設計時代の到来を迎えました。プロセス技術が0.18ミクロンを下回り、動作周波数が高速化している中、特定用途向け集積回路（ASIC）およびシステムオンチップ（SoC）設計者が直面している最大の課題はシグナル・インテグリティ（SI）を保証することです。SIで最も重要となるのがクロストークとIRドロップです。設計のインプリメンテーションの際にこれらの問題を無視すると、回路の製造段階で障害が発生したり、性能上の仕様が満たされなくなるという可能性が高くなります。最近の調査によれば、プロセスの微細化が進むにつれ、回路が期待通りに動作する確率が著しく減少する一方で、設計のリスピンの確率が大幅に増加します（図1）。今日の厳しい市場状況および数百万ドルにも上るリスピンの高額なコストを考えると、設計の後期に発見される欠陥は会社にとって致命的な結果を招く恐れもあります。ポイント・ツールを使用する従来のSI解析手法では、解析精度、解析実行スピードおよび効率性の点で限界がありました。そのため、SIの影響を短時間かつ徹底的に解析する新たな方法が求められています。本稿では、スタティックタイミング解析（STA）にクロストークとIRドロップ遅延解析を組み合わせたスタティック・シグナル・インテグリティ解析手法を提案します。この実用的で採用が容易なSI解析方法は、数百万ゲート規模の設計で既に高速な実行時間を実現すると同時に、完全な解析を提供した実績を有しています。

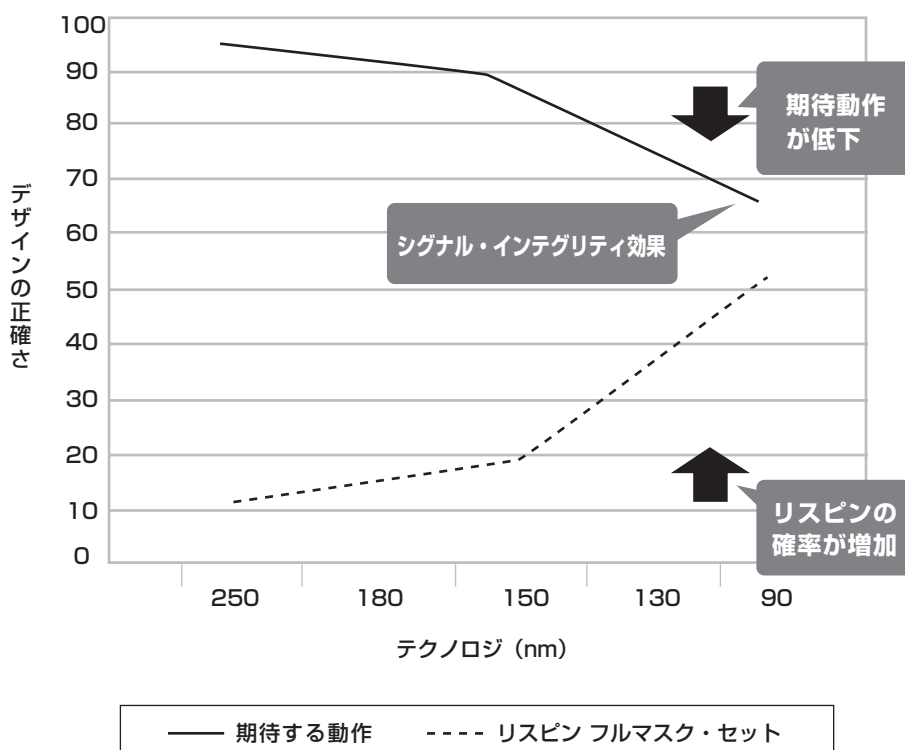


図1：プロセス技術が縮小するにつれ増加するSIの影響によるチップの不具合

シグナル・インテグリティ

従来、回路の解析技術は、電圧/電流ソースが絶縁抵抗および容量（RC）負荷を理想的にドライブするものとしてデバイスをモデリングしていました。しかしながら、今日のUDSMデザインでは、チップのメタル層の電気的特性がますます重要になっています。理想的なドライブ・ソースと負荷を定義することは現実的ではなく、完全に絶縁することはできません。SIの問題は、理想的なモデルにない信号レスポンスにおける（配線寄生効果による）信号の歪みとして定義されます（図2）。

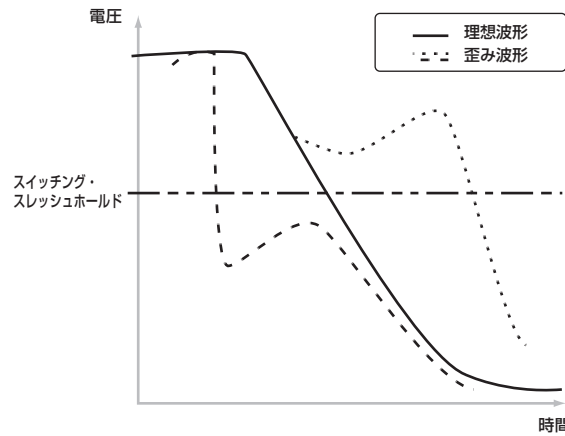


図2：理想および歪み信号レスポンスの波形

SIの問題はさまざまな形で現れます。その中で最も大きな問題は、クロストークと呼ばれる、配線間のカップリング・キャパシタンスが引き起こす信号レスポンス・エラーです。もうひとつ、よく発生する問題としてパワー・レール上でのDC電圧の変動によるIRドロップが挙げられます。0.13ミクロンまたはそれ以下のプロセス・テクノロジーではIRドロップがチップの一部にタイミングのズレ、または“グレイアウト”を引き起こす可能性があるため、IRドロップは最近深刻な問題となっています。この他にも、同時スイッチングによる電源上でのデルター変動またはAC変動、オン/オフ・チップ・ドライバ・スイッチング動作、および配線間のカップリング・キャパシタンスなどもSIの問題として挙げられます。このように、SIの影響は、ロジックやタイミングの問題を引き起こし、機能障害や設計が性能仕様を満たせない原因となります。

本稿では、SIの問題の中でも最も重要なクロストークとIRドロップに焦点をあてています。第1部では、クロストークについての詳細を解説し、クロストーク遅延の対処法を提案します。第2部では、IRドロップ遅延について詳しく解説し、IRドロップ遅延が回路のタイミングに与える影響を解析するフローを提案します。また、STAをSI解析と組み合わせた統合環境のメリットについても説明します。

第1部：クロストーク遅延の問題の解決

近年SIの影響は、顕著に現れ始めています。配線が複雑になり、結果としてチップ上を通るメタル層も増えます。抵抗を増加させずにダイ・サイズを抑えるために、メタル配線は幅を縮小し、配線の信頼性を上げるためにメタル配線を高くします。さらに、機能が複雑になることでメタル配線長は長くなります。このため、2つの配線間のキャパシタンス（図3のCw）が増大しました。さらに、チップ上の相互接続レイヤが増えた結果、上位メタル層から基板レイヤまでの距離が長くなり、トータル・ネット・キャパシタンスの中で基板キャパシタンス（図3のCs）の問題は低減しています。結果として、プロセス・テクノロジーが小さくなるにつれ、配線間キャパシタンスが基板キャパシタンスを上回ることになります。最終的には、配線間のカップリング・キャパシタンスによって信号特性に影響を受ける可能性が高くなっています（図3）。

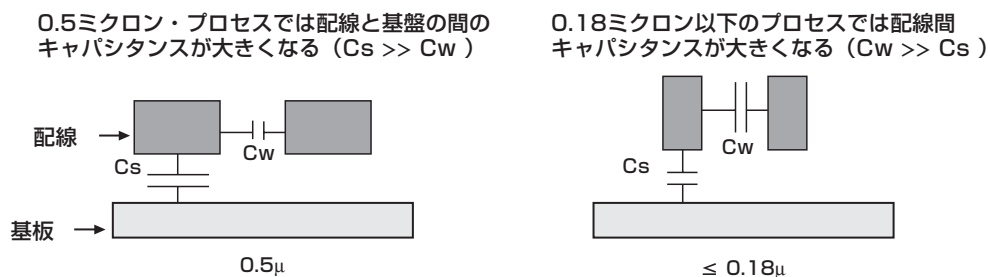


図3：製造プロセスにおける配線間キャパシタンス

この傾向を確認するため、図4に、基板キャパシタンスと配線間キャパシタンスによる相互接続遅延をプロセス・テクノロジーに対する関数として表します。0.18ミクロン以下のデバイスでは、トータル相互接続遅延において配線間キャパシタンスが基板キャパシタンスを上回る様子が明確になっていることがわかります。

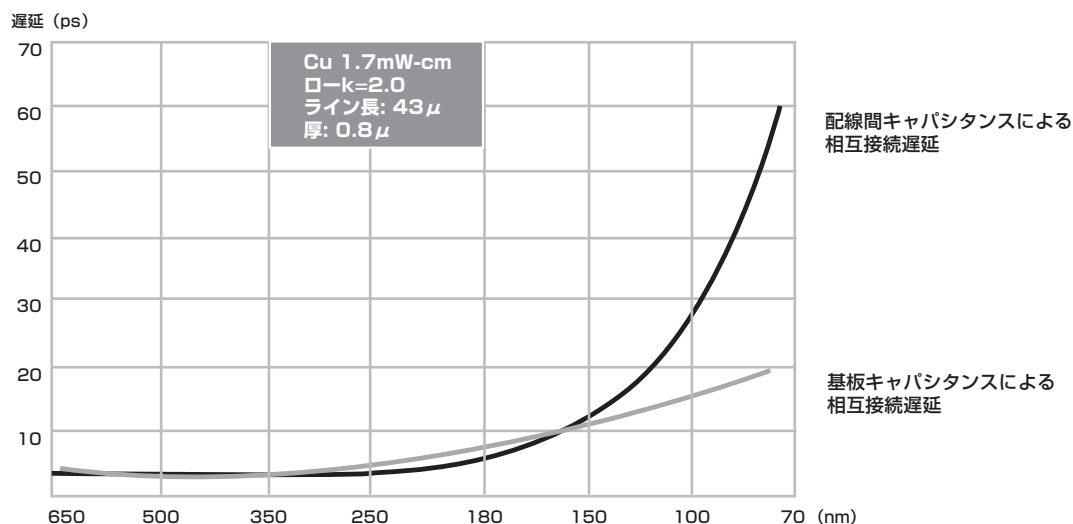


図4：プロセス微細化と相互接続遅延

クロストークの効果

クロストークの効果を判かりやすく示すため、図5で示す簡単な回路を例にとりましょう。この単純な回路は3つのネット（ネットA、ネットB、ネットC）から構成されており、配線間容量（CC1およびCC2）によって構成されています。クロストークの概念を理解するために、ここでは“victim”（ネットの特性に影響を受ける）ネットと“aggressor”（ネットの特性に影響を与える）ネットを定義します。

- “victim” ネットは、遅延計算対象のネットです（図5のネットB）。
- “aggressor” ネットとは、“victim” ネットに対して大きな接合キャパシタンスを持ち、その遷移が“victim” ネットの遷移タイミングに影響を与えるネットです（図5のネットAおよびネットC）。

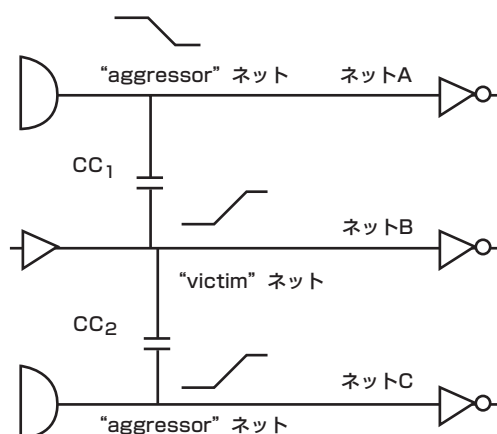


図5：カップリング・キャパシタンス：“aggressor” ネットと“victim” ネット

カップリング・キャパシタンスにより、“aggressor” ネット上での信号遷移が部分的に“victim” ネットに伝搬されることがあります。このため、“victim” ネット上に現れる信号遷移波形に予測していない歪みが生じることがあります。その結果、“victim” ネットで測定される遅延が変動するか、極端な場合は、“victim” ネットのロジック値に影響を与えることがあります。

“victim” ネットと“aggressor” ネットの遷移の方向（立上がり、立下り）により、遅延への影響は次のいずれかになります（図6）。

1. “victim” ネットが立上がり、“aggressor” ネットが立下り方向にスイッチする場合は、“victim” ネットの遅延が増大します。
2. “victim” ネットが立上がり、“aggressor” ネットが立上がり、同一方向にスイッチする場合は、“victim” ネットの遅延が減少します。
3. 遅延、またはスルー測定トリップ・ポイントで “victim” ネットがスイッチしていない場合は、遅延に変化はありません。

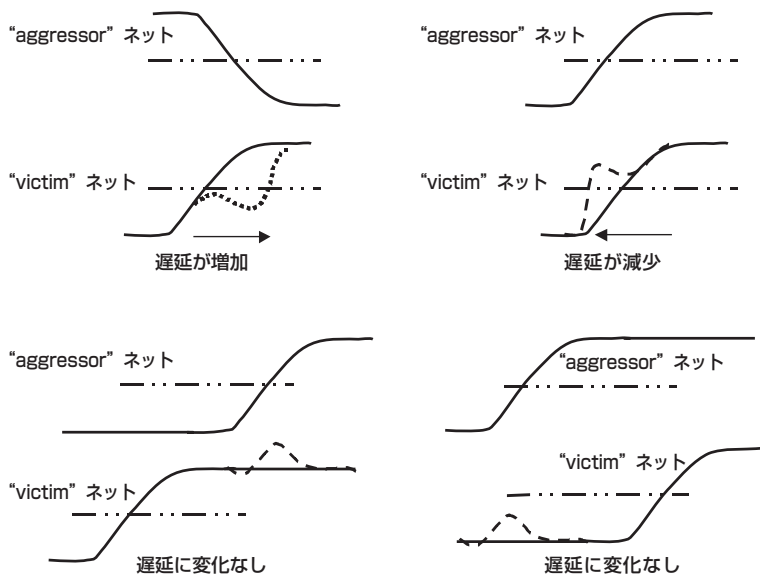


図6：クロストークが信号波形に与える影響

クロストーク解析：現在のアプローチ

現在設計者は、SPICEのようなシミュレータやスタティックタイミング・アナライザを使用してクロストークの効果を測定しています。SPICEのようなシミュレータは高い精度を提供しますが、容量と性能に大きな制限があります。例えば、クリティカル・パス・ネットリストには数千個ものトランジスタと数十万個の接続キャパシタが含まれることがあります。このような大容量なネットリストをシミュレーションで解析した場合、1つの動作条件における1つの入力ベクタを含む1本のパスの結果を計算するだけで数日が必要となるでしょう。タイミング解析では、さまざまな動作条件での解析が要求されます。このため、測定項目が複雑になるにつれて、多くの時間を必要とします。また、数百万ゲート規模のデザインのシミュレーションをスパイスのようなシミュレータで行うのは、現実的ではありません。

現時点では、従来のSTAテクニックを用いてSIの影響を予測するのが最も一般的なアプローチです。このアプローチは高速かつ効率的で、ベクタを必要とせず、さまざまな動作条件を1回のシミュレーションで検証できます。接続キャパシタンスがタイミングに与える影響を予測するため、2本のネット間の接続容量はこれらの乗算子によって単純に乗算されてネットに付加されます。経験から得られた乗算子として最大遅延を2倍し、最小遅延を0倍します。しかし、このアプローチでは過度に悲観的な制約条件を使用し、その結果、最適な性能のチップが設計できないことがあります。もう一つの欠点は、2倍が乗算子の上限ではなかったり、0倍が下限ではなかったりするケースが存在するという事です。

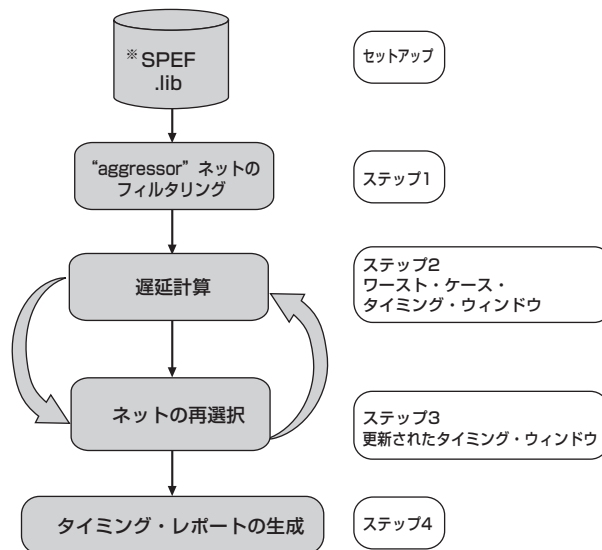
上記に述べた現状のアプローチの限界を考慮すると、新しいアプローチが必要であることがわかります。クロストークを解析するための最適な方法は、スタティックタイミング解析方法にクロストーク解析を組み込むことです。

シノプシスが提案するソリューション：スタティック・クロストーク解析

スタティック・クロストーク解析とは、クロストーク解析を従来のSTAに組み込むアプローチです。このアプローチは、クロストーク解析に次のようなスタティック検証のメリットをもたらします。

- スパイス・シミュレーションと比べて解析時間の短縮化
- ベクタを必要としない徹底的な解析

また、ゲート・レベルSTAサインオフ・ツールが使われている場合、クロストーク解析はテープアウト前にデザインの収束を行うインプリメンテーション・プロセスの最終ステップとなります。この項では、クロストークを考慮した効率的なSTAを行うために、実際に使われているフローを解説します（図7）。



※SPEF = standard parasitic exchange format

図7：スタティック・クロストーク解析フロー

セットアップ

クロストーク解析を行うには、レイアウトデータから抽出された正確な寄生データが必要です。寄生データは標準に準拠しており、全ての寄生抽出ツールで利用できるSPEF標準フォーマットを使用することを推奨します。他に、STAと同様に標準セル・ライブラリが必要です。従来の合成フローへの容易な統合を実現するためには、広く普及しているLiberty (.lib) フォーマットのライブラリを使用することを推奨します。これにより、導入が容易になるだけでなく、設計フロー全体で一貫した遅延計算が可能になります。最高の結果を得るためには、既存のサインオフ品質のスタティックタイミング解析フローとの互換性を最大限に確保しなければなりません。

ステップ1：“aggressor” ネットのフィルタリング

大規模/高集積システム回路のクロストーク解析は、回路の結合性が高いことが多いため、非常に困難です。aggressorネットが別のaggressorネットのvictimネットになることもあります。このため、全てのaggressorネットとvictimネットの間で考えられるタイミング関係を全て考慮しないと、クロストークの影響を正確に解析できないことになります。このような解析ではデータ量が膨大になるため、クロストークによってタイミングが大きく変化するvictimネットの解析にフォーカスするための効率的なメソッドロジが必要になります。つまり、タイミングへの影響が少ないaggressorネットは選別し、解析対象から除外する必要があります。

aggressorネットの選別（フィルタリング）とは、相互の接合キャパシタンスをグランド接地に分割して、両方の接合ネットに追加することを意味します。ネットの選択方法には、ユーザーがデザインの特성에応じてフィルタ・スレッシュホールドを設定して、実行時間と解析精度のトレードオフができるような柔軟性が必要になります。

ステップ2：ワースト・ケース・タイミング・ウィンドウによる遅延計算

カップリングを含んだタイミングを解析する際に忘れてはならないもう1つの要素は、victimネットに接続されているカップリング容量の影響で、victimネットが論理スレッシュホールド近辺で波形がバンプすることにより、正確な遅延（論理）確定までに時間がかかる点です。これがクロストークとタイミングを同じ環境で解析する大きな利点のひとつです。タイミングの情報を使って、タイミング違反の原因となるクリティカルなネットにフォーカスした詳細なクロストーク解析を行うことができます。解析は、反復処理で行われます。最初のクリティカル・パスでは、デザイン内のすべてのクロストーク違反を検出するために、ワースト・ケース・タイミング・ウィンドウを考慮します。この方法は、高い解析精度を提供します。パス1における悲観的な結果は、反復処理を行うことで、正確な解析結果となります。

ステップ3：クリティカル・ネットの遅延解析

このステップでは、パス1の後にクロストークによるタイミングの影響が大きくなっているvictimネットを再選択します。victimネット上の遅延は、パス1からの到達ウィンドウを使用して計算します。次に、これらの遅延を使用して、更新されたタイミング・ウィンドウを生成し、設定条件が収束するまで反復処理を行います。また、1本のaggressorネットが別のaggressorネットの影響を打ち消す場合もあるため、同じネット上にあるaggressorネット同士の論理的な関係も考慮しなければなりません。従って、aggressorネット間の論理的な関係も検知し考慮する必要があります。反復処理では大量のメモリが消費されるため、2~3回のイタレーションで設定条件が収束するように、収束アルゴリズムは効率的でなければなりません(図7のステップ3)。反復効率をさらに高めるため、設計者は収束対象として考慮すべきネット数を制限することもできます。そのためには、クリティカル・パス上のネットのみを解析する、クロストークの影響によるネット遅延の絶対変化またはパーセント変化について検討するといった手法を取ることできます。また、ネット・スラックによって対象ネットを選択する、といった条件も使用できます。

ステップ4：タイミング・レポートの生成とファイルの修正

遅延が正しく計算されたら、読みやすい形式のタイミング・レポートが生成されます(図8)。ユーザーは、デザインにおけるクロストークの影響が大きな箇所をタイミング・レポートから簡単に判断できます。ネットとインスタンスの完全な階層名がレポートされ、victimネットとaggressorネットの位置が正確に示されます。シグナル・インテグリティの問題が解明されたら、victimネットのインスタンス名とそれに対応するクロストーク情報を含む修正ファイルを生成するためにSTAツールを用います。ここで生成された修正ファイルは、SIの問題を解決しタイミング問題を収束させるために、バックエンドのインプリメンテーション・ツールで使用されます。

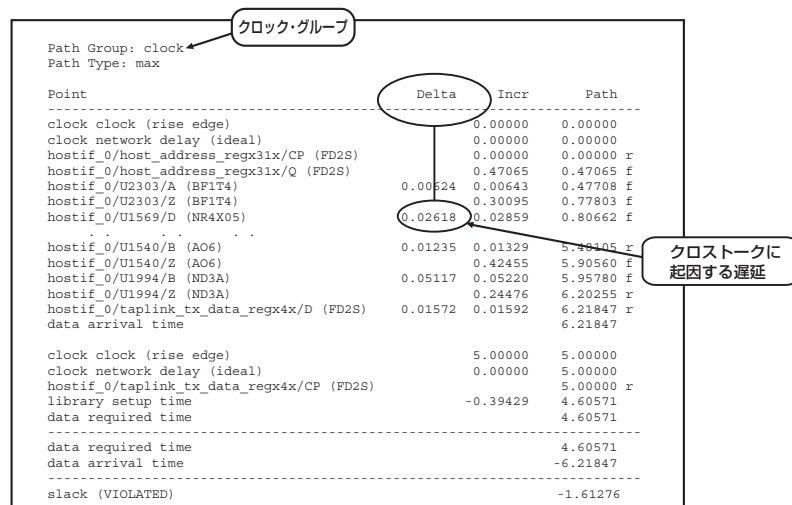


図8：タイミング・レポートの例

第2部：IRドロップ遅延の問題

電源レールの寄生抵抗の効果は、パワー・グリッドから引き込まれる電流と相まって、セルに供給される電圧を低下させます。この電圧の低下をIR（電圧）ドロップといい、これによりタイミング遅延が発生し、動作不良の原因になる場合があります。図9は、電源電圧の低下に対するセル遅延の上昇を示しています。一般的なデザイン・ルールは、電圧の低下を約10%に制限するように設定しますが、これだけの電圧低下でさえセル遅延が約10%増加します。従って、セル遅延の変化が累積することにより、パスのスラックとクロック・スキューが大きく変化するという結果になる場合があります。このようなIRドロップ遅延のリスクと高性能デザインへの影響を軽減するためには、正確な解析ソリューションが求められます。

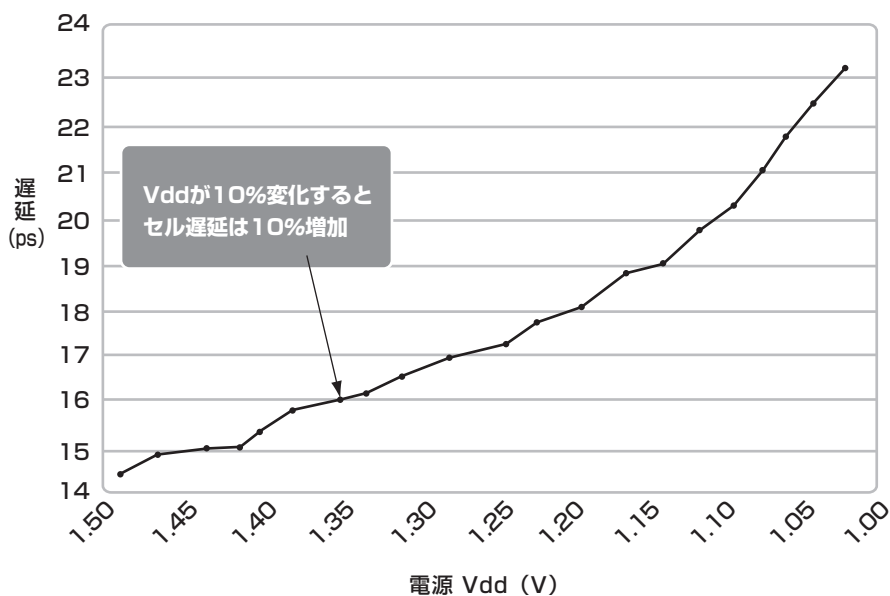


図9：IRドロップが遅延に与える影響

IRドロップ遅延解析：現在のアプローチ

現在設計者は、チップのタイミングに対するIRドロップの影響を解析するために、SPICEなどのダイナミック・シミュレーション・ツールを用いることがよくあります。しかし、すでに指摘したとおり、SPICEのようなシミュレータは、性能と容量に大きな制限があります。寄生情報ファイルは信号寄生情報ファイルに比べて大きくなる傾向があるため、このような非効率性はパワー・ネットワーク解析の障害になります。また徹底的な解析を行うためには大量のベクタが必要になるため、フル・チップでSPICE方式を用いることは現実的ではありません。

クロストーク解析と同様に、IRドロップの解析に最適なソリューションは、スタティック検証のアプローチです。

既存のSTAツールを組み合わせることでIRドロップの影響を考慮するソリューションが非常に効率的です。次項では、IRドロップ遅延を考慮するために、STAをパワー・ルール解析ツールと統合したシームレスなフローを利用したメソッドロジについて解説します。

シノプシスが提案するソリューション：スタティックIRドロップ遅延解析

STAとIRドロップ解析を組み合わせることで、スタティックSIサインオフ・メソッドロジは、IRドロップが遅延に与える影響を考慮できるように拡張されます。本項では、スタティックIRドロップ遅延解析の実行に必要な手順について解説します。

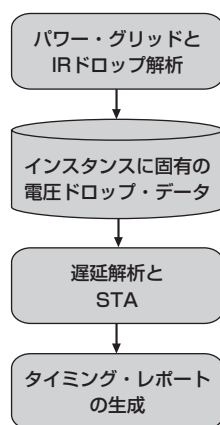


図10：STAのフローにおけるIRドロップ遅延解析

ステップ1：セルに固有の電源データの生成

スタティックIRドロップ遅延解析の第1のステップは、高精度パワー・レール解析ツールを使用したセル・レベルのIRドロップ・データの生成です。このツールには、LEF/DEFといった業界標準フォーマットのレイアウト・データ、およびSPEF/DSPFフォーマットの寄生データを読み込み、セル・インスタンスに固有の電源電圧データを生成する機能が求められます。最高のパフォーマンスを得るには、実際の機能的入力/出力ベクタを用いて、ダイナミック・シミュレーションから派生した動作条件を使用してIRドロップを解析できるソリューションが必要です。最後に、テキスト・ベースのスク립ト出力により、STAツールとのインテグレーションが容易に行えます。

ステップ2：Kファクタを含むセル・ライブラリの使用

IRドロップがVddの5～10%未満の場合は、電圧のKファクタを含むセル・ライブラリを使用することができます。Kファクタは、電源電圧の関数としてセル・タイミングの倍率を指定するための係数です。これにより、非線形遅延モデル（NLDM）に幅広く使用されている.libフォーマットを使用した既存のフローに容易に統合することができます。IRドロップがVddの10%を超える場合は、拡張可能な多項式遅延モデル（SPDM）を使用することにより、精度を向上させることができます。SPDMは、IRドロップが大きい場合に電圧とセルのタイミングの非線形な関係を考慮します。

ステップ3：STAスク립トの作成

IRドロップ遅延情報をSTAツールに受け渡すには、コマンド・スク립トを使用するのが最も簡単な方法です。パワー・レール解析ツールからの出力は、セル固有レベルの電源電圧をコマンドで指定するフォーマットに変換されます。このスク립トは、解析を実行する前にSTAツールによって供給されます。以下に、コマンド構文の一例を示します。

```
set_rail_voltage -rail_value < Voltage_level> < cell_name >
```

ステップ4：タイミング・レポートの生成

最後に、スタティックタイミング解析が実行され、セル遅延が計算されます。この際に、それぞれのセルに設定されている電源電圧の変化に関する情報が考慮されます。次に、詳細なタイミング・レポートが生成され、これによりユーザーはIRドロップが遅延に与える影響を判断できます。

結論

プロセスの微細化にともない、シグナル・インテグリティの影響が大規模SoC/ASIC設計を行う上で最も重要な検証項目となります。設計のインプリメンテーションの際にSIの影響を無視することにより、回路の製造段階で障害が発生したり、性能上の仕様が満たされない可能性が高くなります。SI問題の1つはクロストークであり、回路のタイミングに大きな影響を与えます。もう一つの重要なSIの問題であるIRドロップは、回路のタイミング性能を低下させ、目標性能を満たせなくなる可能性が高くなります。サインオフ認定レベルの高精度STA環境でクロストークとIRドロップの遅延を解析する主な利点は、タイミング違反を正確に特定するための効率的かつ包括的なメソッドロジであるということです。また、SIの影響をスタティックに解析することにより、ダイナミック・シミュレーション・ツールでは不可能に近いハイパフォーマンス/大容量での解析を実現できます。サインオフ認定STAメソッドロジを使用することにより、短期間で精度の高いテーパーアウトが可能となります。汎用的な入/出力フォーマットを使用することで、フィジカル・フローへの統合が容易になります。この実用的で採用が容易なSI解析手法により、数百万規模の設計において短期間に完全な解析が可能であることがすでに実証されています。

お問い合わせ先：

日本シノプシス株式会社

〒140-0014 東京都品川区大井1-28-1 住友不動産大井町駅前ビル TEL.03-5746-1500(代) FAX.03-5746-1550

〒531-0072 大阪府大阪市北区豊崎3-19-3 ビアスタワー13F TEL.06-6359-8139(代) FAX.06-6359-8149