

超ディープサブミクロンASIC/IC設計に おける消費電力管理

2002年4月

はじめに

消費電力は、業界で主流となっているASICやICの設計者にとって重大な課題となっています。設計手法は、チップの消費電力や消費電力に伴うコストの増加に大きく影響します。コストを抑えつつ低消費電力設計を実現するには、設計手法がタイミングや面積に与える影響だけでなく、消費電力に与える影響も考慮しなければなりません。しかし、性能や面積を考慮しながら低消費電力設計を行えるツールは多くありません[1]。消費電力の仕様、見積もり、最適化を効果的に行うための包括的なアプローチがますます求められています。設計者は、タイミング、面積、信頼性、製品開発期間、収益性などの条件とともに、消費電力の制約条件を満たす為に、既存の設計フローとシームレスに統合できる最適化/解析ツールに加えて、消費電力管理手法を必要としています。ここでは、超ディープサブミクロン（UDSM）設計における消費電力問題、過大な消費電力によって発生するコスト、そして常に変化する設計環境に対応する為の条件について説明します。また、消費電力に対応した総合的な手法を求める声に応える、シノプシスの低消費電力ソリューションをご紹介します。

消費電力のコスト

消費電力に伴うコストが増大している為、消費電力管理は、ASIC/IC業界で主流となっている設計で重大な問題となっています。ICの規模や複雑さ、消費電力や消費電力密度が驚異的なペースで増大しているのに対して、低消費電力設計のツールや手法は、それに対応できるほど進歩していません。図1に示すように、回路が100nmプロセスに移行すると、チップの配線可能なゲート数は8千万を超えます。しかし、現在のテクノロジーでこのようなゲート数を集積しようとすると、大きな犠牲を強いる結果となります。つまり、チップの処理能力を上回る消費電力が必要となり、さらに高い熱が発生します。業界では、通常システムで必要な消費電力が毎年25~30%増加すると推定されています[2]。図2に、標準のセルベース・テクノロジーで、消費電力および消費電力密度の増加（2005年までに、それぞれ100Wと30W/cm²に増加）によって信頼性やコストの深刻な問題が発生するレベルを示します。

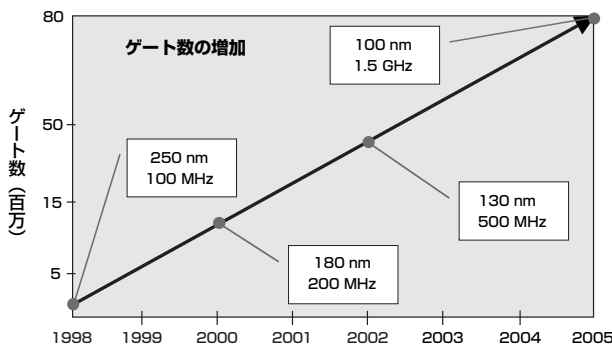


図1：標準セルテクノロジーにおけるゲート数の増加

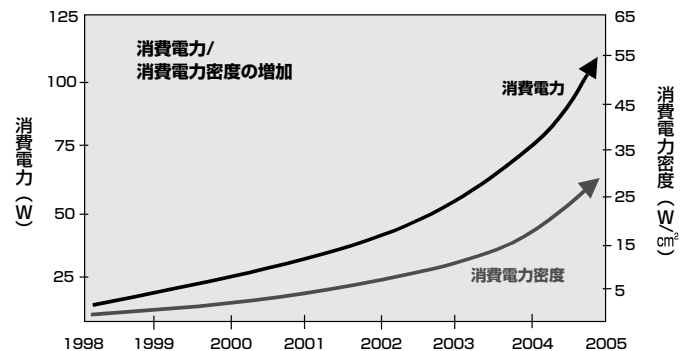


図2：ASIC/ICにおける消費電力/消費電力密度の増加

消費電力は、携帯機器向けアプリケーションではすでに問題として認識されています。こうしたアプリケーションでは、長いバッテリー寿命、小さなバッテリーサイズ、低価格なパッケージなどが設計を左右する要因となります。しかし、高性能なグラフィックスや通信システムなど、携帯機器向け以外のシステムでも、消費電力の影響は増大しています。消費電力によって、システムのコストが大幅に増加したり、提供できる機能や性能が制限されることになるからです。しかしながら、コスト全体で大きな部分を占めるにもかかわらず見過ごされがちなのは、消費電力が信頼性、製品化、歩留まりに与える影響です。このような損失は、数百万ドルに達する場合もあります。今日のIC設計で消費電力に伴うコストは、低い性能によるコスト、システムコスト、信頼性コスト、そして製造/歩留まりのコストの4つに大きく分けられます。

低い性能によるコスト

消費電力が考慮されないと、性能の向上を目的とする設計手法を用いても、実際には目標の達成に至らない場合があります。消費電力は、ICの演算処理機能を制限する要因となります。消費電力が高くなると、接合温度（動作またはダイ）が上昇¹、その結果、トランジスタの速度が低下して、相互接続の抵抗が大きくなり、性能が低下します。以降で述べるように、消費電力に伴う信頼性の問題もIC性能を制限する大きな要因です。性能が目標を下回ると、歩留まりが低下して（「製造/歩留まり」を参照）、コストが増大し利益を失うことになります。

¹ $T_j = P * \theta_{ja} + T_a$ (T_j は接合温度、 P は消費電力、 θ_{ja} は熱抵抗、 T_a は周囲温度)

システムコスト

消費電力は、IC/システムの統合にかかるコストに直接影響します。消費電力に伴うコストには、熱冷却手段の確保（パッケージ、ヒートシンク、冷却ファンなど）、必要になる供給電力の増加、ヒートシンク等も含めたシステム全体の最終的なサイズの増加のコストがあります。これらのコストとチップの消費電力は、非直線的な関係にあります。図3に示すように、消費電力密度が高くなると、消費電力管理のコストはさらに急激に増加します。

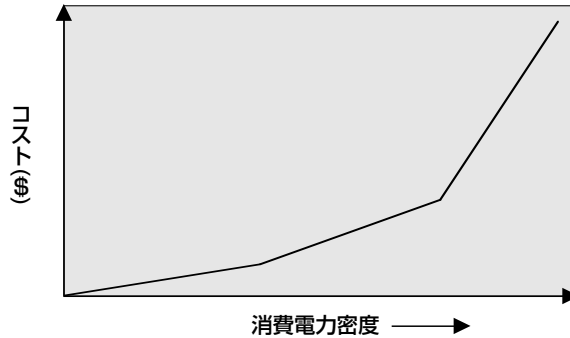


図3：コスト対消費電力密度

信頼性

過大な消費電力の浪費は、エレクトロマイグレーション（EM）、負性バイアス温度不安定性（NBTI）、ゲート酸化膜の障害、デバイスの劣化、致命的な故障など、さまざまな信頼性の問題を引き起こす原因となります。重大な問題となるのは、UDSMプロセスでリーク電流が増加することです。図4では、シリコンプロセスが進化するにつれて、リーク・パワーが急激に増加することを示しています。130nm以下のプロセスに移行すると、リーク・パワーは、チップ全体の消費電力の50%を占めるまでになります。リーク・パワーが大きくなると、デバイスの信頼性の問題が劇的に増加する恐れがあります（待機時も同様に）。

信頼性を示す最も重要な値は、製品寿命、つまり平均故障時間（MTBF）です。MTBFは、接合温度や消費電力に反比例します。経験則によると、通常環境条件で動作温度が10~20℃上昇すると、チップの故障率は倍増します。一般的に使われている別の原則によると、「信頼性のブレイクポイント」は $0.7 \cdot T_{j,max}$ で発生します。 $T_{j,max}$ は、動作温度の最大値です（図5を参照）。温度が信頼性に与える影響は指数関数であるため、このポイントを越えると、信頼性に大きく影響を与え、結果コストが増大して利益の損失に繋がります。

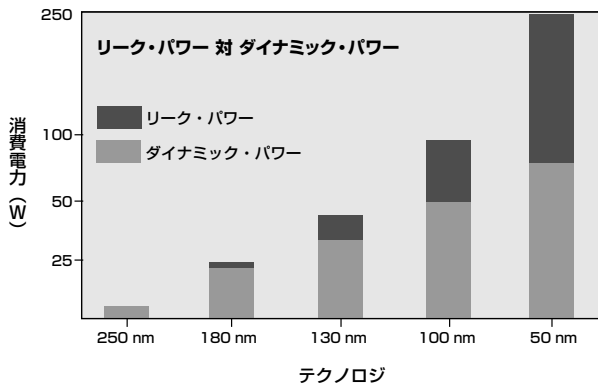


図4：全体の消費電力におけるリーク・パワーの割合

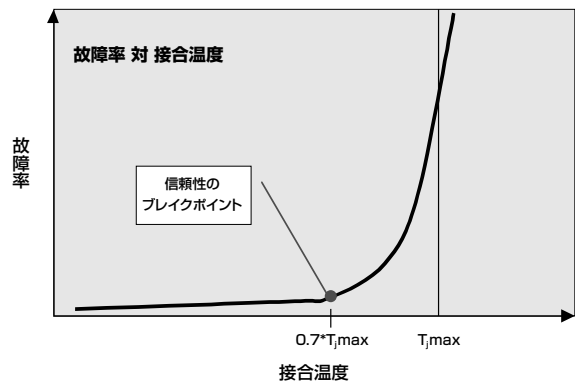


図5：故障率と接合温度の関係

製造/歩留まり

消費電力や消費電力密度の増加により、熱の問題が製造時の大きな課題として浮上してきます。ダイ温度は、ウェハーソート、バーンイン、およびクラステストという3つの主要なIC製造プロセスの成功を大きく左右します。ウェハーソートは、早期段階でダイの欠陥を発見するための低温テストです。バーンインは、早期段階でデバイスの障害を解消するための温度および電圧の耐久度テストです。クラステストは、ICの最終的な性能を決定するためのテストです。

ウェハースートは低温で実行されるので、ダイ温度が高く均一でない場合は、さらに多くの障害が発生することがあります。特にバーンインパワーは、漏れ電流と接合温度の関数となります。リーク・パワーや接合温度が高くなると、「バーンインパワー」が増大し、テスト用の熱環境（装置および工場内のスペース）を管理するコストが増加して、歩留まりが低下します。最後にクラステストでデバイスの性能が確認される訳ですが、デバイスの性能はダイ温度に依存するので、このテストで過大な消費電力を管理することは非常に重要な問題としてクローズアップされてきます。ダイ温度が1℃上昇すると、デバイスの速度が0.15%低下するため、歩留まりも低下する可能性があるからです。これは当然、そのまま企業のコスト増大につながり、利益が減少して、製品開発期間が長くなり、企業の競争力が下落します。

つまり、消費電力は性能、信頼性、およびコストのすべての面で業界全体の問題となります。今日、IC設計者は、設計の1つの側面に注意するだけでは満足な結果を得られません。例えば、スタティックタイミングを管理するための設計の意思決定や手法は、消費電力にも直接影響します。従って、性能を維持して、消費電力に伴うコストを最小限に抑えるために、タイミングなどの制約条件とともに、低消費電力設計を考慮することが重要です。

消費電力の低減 - 現状

今日、チップ設計者は、ニーズに応じてテクノロジーが進化することを待つのではなく、設計で消費電力を効果的に管理するツールや手法を求めています。ICにおける消費電力の低減は、テクノロジーや素材の進歩に大きく依存してきました。しかし、このような分野で新たな進歩を実現することはますます困難になっている為、消費電力を低減するための設計ツールの重要性が高まっているのです。

テクノロジー

以下の2つの分野でテクノロジーが進化していることが、消費電力を低減する大きな原動力となっています。

- **トランジスタのサイズ、相互接続のスケーリング。**半導体構造の小型化が進むにつれて、デバイスや相互接続の容量が縮小され、性能が向上し、消費電力が低減されます。しかし、チップの形状が小さくなるにつれ、スケーラブルでないしきい値電圧、短チャネル効果、トンネル電流、ゲート酸化膜の断絶、ホットキャリア効果、EMなど、性能、信頼性およびコストに影響する多くの要素が困難な課題となります。
- **電圧の調整。**動作電圧の調整は、遅延に直接的な影響を与えるだけでなく、消費電力に二次効果を及ぼします。しかし、 V_{dd} を低下させつつ性能を向上させるためには、 V_{th} も低下させる必要があります。この場合、リーク・パワーが大幅に増加するので信頼性に問題が生じます。

素材

高密度で寄生容量が小さいパッケージ、パッケージ素材、ヒートシンク、ファン[3]などの改良も、ICにおける消費電力の制御に貢献しています。しかし、消費電力や消費電力密度が高まりつつある中、高価なパッケージや騒音が大きい冷却ファンだけに頼って、消費電力を抑えることは非常に難しくなっています。

設計ツール

手作業で行う、または設計フローに統合されていない消費電力の見積もり/最適化手法は、今日の設計者にとっては不十分です。速度や機能的な要求が高まる一方で、テクノロジーや素材の開発は物理的およびコスト的な限界に近づきつつあります。このため、消費電力は広い範囲にまたがる問題となり、多方面から消費電力の管理に取り組みなければなりません。設計のツールや手法を改善して、このように差し迫った消費電力の問題に対応する必要があります。それと同時に、設計者やプロジェクト/製品開発マネージャはこれらのツールや手法を使いこなし、エネルギー効率の高い回路を開発することが求められます。

新しい設計環境および条件

130nm以下のプロセスを用いた主流の設計では、タイミング、消費電力、面積、シグナル・インテグリティの設計と最適化を並行して実行しながら同時に包括的な解析を実行できるソリューションが必要です。そしてそれは既存の設計フローに統合できるものでなければいけません。現在のICの複雑さを考えると、設計の意思決定は、速度、信頼性、面積、消費電力など、回路のすべての要素に影響します。個別のツールでは、このように複合的な問題に十分に対応できないため、統合された手法が求められています。図6に、250nmテクノロジーから現在の130nmテクノロジーに至るASIC/IC設計フローの進歩を示します。この図でわかるように、設計フローの条件は、タイミングだけを焦点としたものから、消費電力、シグナル・インテグリティおよび面積をカバーするものへと変化しています。

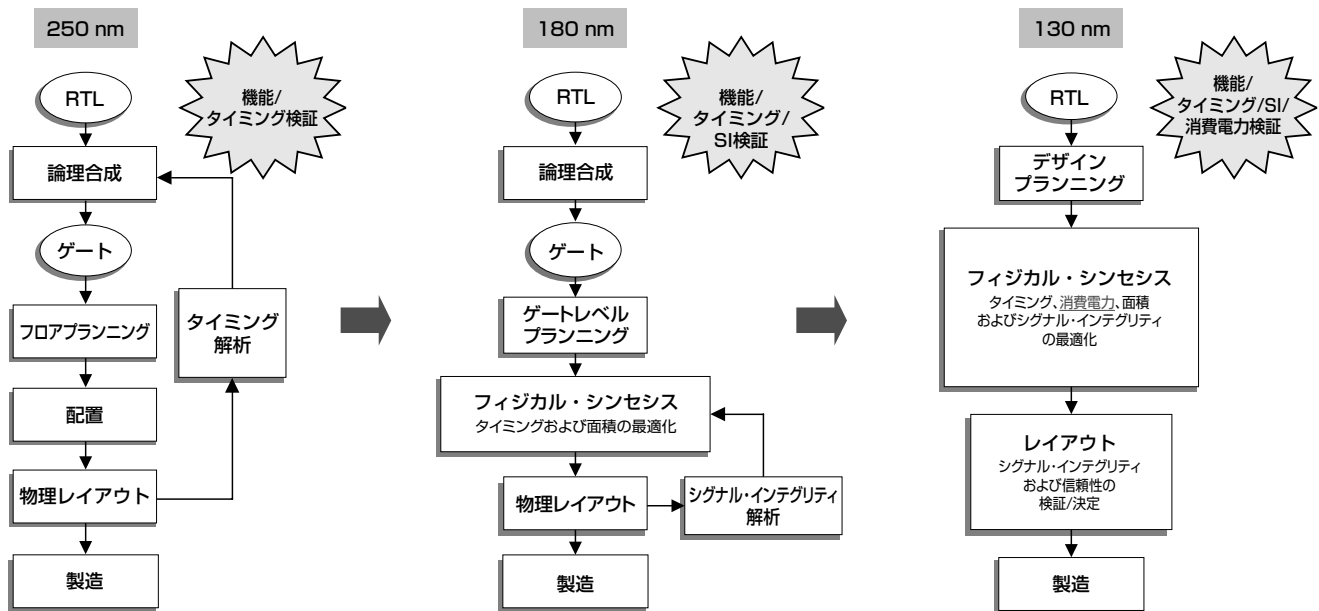


図6：設計フローの進歩

このように環境が変化する中、各抽象レベルで消費電力を観測し対応することで、エネルギー効率を最大限に高める「消費電力を読む」完全な手法が求められています。図7に示すように、設計が確定する前のシステムレベルからレジスタトランスファ・レベル（RTL）までが、消費電力削減効果の最も高いフェーズです。しかし、消費電力の観測精度が最も高いのは、ゲートおよびトランジスタレベルです。

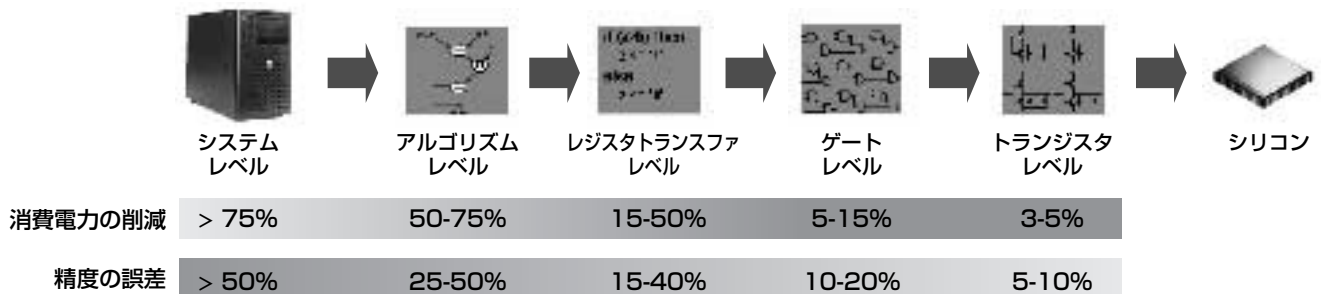


図7：各抽象レベルで実現される消費電力削減効果と消費電力観測精度

この手法が最大の効果を発揮するのは、システムレベルやアルゴリズムレベルといった高い抽象レベルですが、ほとんどの回路（90%以上）はRTLで開発されているのが現状です。設計者は、現在のRTL設計、論理合成、物理設計および検証フローに時間と費用を費やしており、これらの既存フローに容易に統合できる手法を望んでいます。さらに、この手法は、設計フローの他の部分での問題発生を防ぎ、消費電力を低く抑えて、性能をはじめ他の設計目標を満たす手法でなければなりません。従って、RTLからGDSIIまでの既存の設計フローにシームレスに組み込む総合的な設計収束アプローチが今日のASIC/IC設計者にとって最も魅力的なのです。

消費電力問題に対応した強力な手法には、以下のような機能が不可欠です。

- 合成前にRTLで、最大の設計トレードオフができる設計早期段階での消費電力見積もり
- 各抽象レベルで並行して総合的な最適化を自動実行
- 設計フロー全体にわたった包括的な消費電力解析
- 上記すべての機能をサポートするモデリング構造

シノプシスの低消費電力ソリューション

シノプシスは、完全な低消費電力ソリューションを提供して、主流となっているASIC/IC設計のニーズに対応しています。シノプシスの低消費電力手法には、2つの大きな利点があります。

- 1) 業界標準のフローに適合し、既存の設計インプリメンテーションフロー/手法を強化
- 2) フロー全体を通して、統合された包括的で使いやすいソリューションを提供

シノプシスのASIC/IC設計向け低消費電力ソリューションは、Power Compiler、PrimePower、およびPowerArcで構成されています（図8を参照）。これらの製品は、業界最先端の合成ツールであるDesign CompilerやPhysical Compilerと組み合わせることにより、設計早期段階での見積もり、最適化、解析、およびキャラクタライズ機能を提供します。回路が構造回路やフルカスタム回路を含む場合は、シノプシスのトランジスタレベル・ツール（NanoSimなど）がさらに詳細な消費電力解析を提供します。

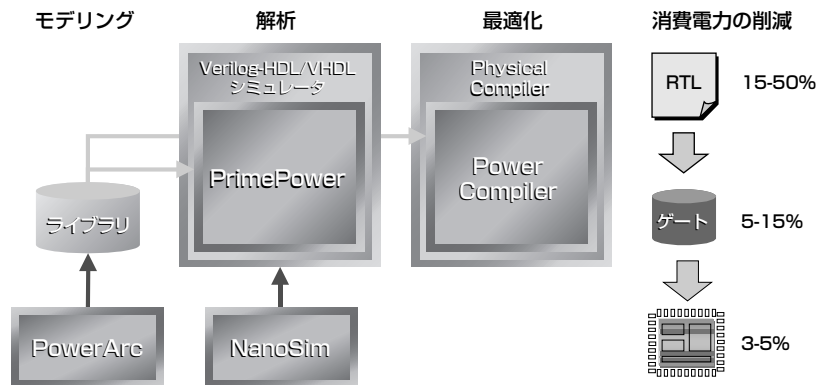


図8：シノプシスの低消費電力ソリューション

シノプシスが提供するタイミング、消費電力、面積、配置およびシグナル・インテグリティの総合的な「設計収束」手法を、図9に示します。以下の各項では、この手法の特長を説明します。

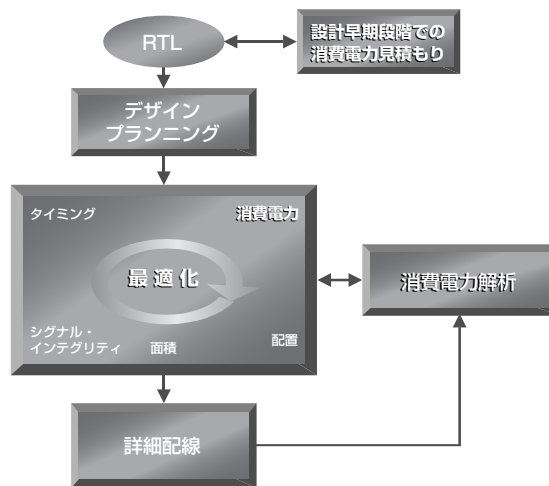


図9：シノプシスの統合されたメソッドロジ・フロー

設計早期段階の消費電力見積もり

シノプシスの手法では、まず合成前にRTLで消費電力を見積もります。RTLで消費電力を見積もることで、フローの早期段階で消費電力の問題を検出し修正できる為、時間や手間のかかる合成を必要最小限に留めます。設計サイクルの早期段階で消費電力に対応することは、消費電力を管理する上で最も効果的なアプローチです。なぜなら、合成前のRTL段階が最も消費電力削減効果の高いフェーズだからです。RTLでの消費電力見積もりによって、設計プロセスの早期段階で必要なトレードオフを行うことができます。また、別のアーキテクチャやインプリメンテーションのオプションを探り、今日の厳しいタイミングや設計ルールへの制約条件に違反することなく、消費電力を抑えて、短時間で設計を収束させることが可能となります。

消費電力最適化

早期段階で消費電力を見積もって、合成可能な低消費電力RTL回路を作成したら、シノプシスの自動最適化ツールであるPower Compilerにより、さらなる消費電力最適化を行うことができます。Power Compilerは、業界最先端の合成フローと統合環境を共有している為、生産性を犠牲にして異なるポイント・ツールを個別に管理する必要がありません。シノプシスの手法は、テストビリティやバックエンド・プロセスを含むフロー全体の可視性を提供します。以下に、インプリメントが容易で効果的なPower Compilerの最適化テクニックを説明します。

クロックゲート化

クロックのゲート化は、スイッチングしていないレジスタを遮断して、ダイナミック・パワーを低減する為に用いられる一般的なテクニックです。これは、多くの設計者がマニュアルで実行する実証済みのテクニックです。クロック・ネットワーク・パワーは、チップのスイッチングパワー全体の75%を占める場合があり、クロックによって制御されるシーケンシャル・セルは、クロックパワー全体の70%を占める場合があります。これらの要素がスイッチングしていない時に、対応するクロックを切ることで消費電力は大幅に削減できます。

シノプシスの低消費電力設計手法は、この一般的なテクニックを利用しプロセスを自動化することにより、以降の設計フローでマニュアル処理に起因する問題を防ぎ、消費電力の削減を可能にします。また、自動クロックゲート化は、ブロックレベルで行われるマニュアルのクロックゲート化を補完します。自動クロックゲート化は、RTLでの消費電力見積もりの後、回路のエラポレート時に実行します。これにより、ロード・イネーブル条件が無効である場合アウトプットをインプットに循環させる代わりに、個々の同期ロード・イネーブルレジスタのクロックをゲート化します。レジスタのクロックをゲート化すると、2通りの方法で消費電力が低減します。1つは、レジスタがクロックされないことで消費電力が低減します。もう1つは、マルチプレクサとその接続が不要となるので、面積も縮小し消費電力がさらに低減します。

Power Compilerは、フィジカル・シンセシスと緊密に統合されている為、フィジカル・シンセシス環境下で配置を考慮したクロックのゲート化が容易になります。つまり、統合されていないクロックゲーティングの要素が、自動的に緊密に配置され、クロックゲーティング・セルは、ゲート化するレジスタの近くに自動的に配置されます。これにより、クロックのゲート化によって発生するクロックスキューが最小限に抑えられます。このクロックゲート化の手法には、テストビリティが組み込まれており、クロック・イネーブル信号の制御と観測を行うロジックを生成します。

Operand Isolation機能

回路に多くのデータパスが存在する場合は、Power CompilerのOperand Isolation最適化機能を使って、データパスのすべてのセクションを遮断でき（データパスの出力が必要ない場合）、消費電力の大幅な低減につながります。

リーク・パワーの最適化

前述したように、リーク・パワーは今日のASIC/IC設計者にとって重要な課題となっています。タイミング、面積、信頼性などの目標を達成しつつ、既存のフローの中でリーク・パワーを最適化する手法が求められています。合成環境では、シノプシスのPower Compilerは、デュアル V_{th} ライブラリに基づいて、RTLでリーク・パワーを最適化する手法を提供します。この場合、高圧 V_{th} ライブラリを使用した初回合成で、設計の制約条件をクリアし、続いて低圧 V_{th} ライブラリを使用してインクリメンタルな合成を実行するというフローを推奨します（図10を参照）。このフローでは、リーク・パワーを低く抑えながらタイミングの目標を達成できます。

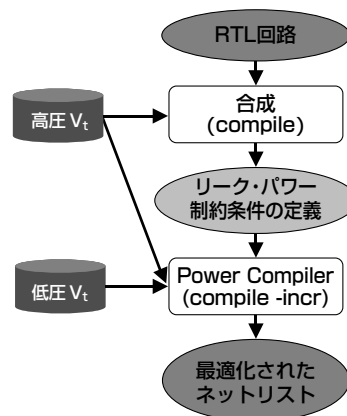


図10：デュアル V_{th} を用いたフロー

ゲートレベル最適化

合成後にパワーバジェットの目標が達成されなかった場合は、以降のフローでPower Compilerを使って、さらに最適化を行うことができます。Power Compilerは、ゲートレベルでは、容易な操作によってタイミングの制約条件を維持しつつダイナミック・パワーとリーク・パワーを削減する消費電力最適化を実行します。

消費電力解析

ASIC/IC設計者は、早期段階での消費電力見積もりや最適化に加えて、数百万ゲートの回路全体を構築する合成後の包括的な消費電力解析を容易化する手法を必要としています。この段階では、回路が物理情報を含んでいる場合があります。設計者は、設計の実現性、つまり消費電力の仕様や他の設計制約条件をクリアしているかどうかを判断する必要があります。チップ全体の容量やトランジスタレベルの精度が求められますが、トランジスタレベルより高速な実行時間が求められます。

シノプシスのPrimePowerを使うことにより、回路が消費電力仕様を満たしているかどうかを短時間で効率的に検証できます。PrimePowerは、アーキテクチャとインプリメンテーションにおける消費電力の問題を知るためのツールで、設計フローにシームレスに統合できます。PrimePowerは、平均とピーク時両方の消費電力解析を実行します。IRドロップやEMといった信頼性の問題は、主にピーク時の消費電力に関係しているため、PrimePowerは、重要な信頼性解析機能を提供します。また、回路開発の様々な段階で、高い精度、フルチップ解析、高速な実行時間、標準シミュレータインターフェイス、使いやすさ、および包括的な消費電力診断を提供します。

モデリング

最後に、消費電力最適化/解析の成功には、全ての抽象レベルで正確な消費電力モデルを提供する、優れた手法が必要です。シノプシスのPowerArcを用いて、高性能な解析や最適化のために十分にキャラクタライズされた、完全なセルライブラリを容易に作成できます。

結論

プロセス・テクノロジーの微細化が進むにつれ、ASIC/IC設計における消費電力の問題は無視できない重要な課題となっていることは明らかです。設計者は、設計技術がタイミングと同様に消費電力にも与える影響を認識する必要があります。タイミング、消費電力、面積、信頼性など、すべての設計要素を収束させる包括的なアプローチの必要性は高まる一方です。設計者の大半は、新たな問題を引き起こすことなく既存のフローに適合し、所望の効果をもたらす総合的な手法を求めているのです。シノプシスが提供するASIC/SoC設計フローの低消費電力ソリューションは、強力なメソドロジと、消費電力の見積もり/最適化/解析/増加する消費電力問題の管理を行う豊富なツールを提供します。シノプシスの手法によって、ASIC/ICメーカーやシステムベンダは、設計サイクルや開発コストを劇的に削減し、性能および機能仕様を満たして、製品の品質や信頼性を大幅に高めることができます。シノプシスの統合された消費電力メソドロジは、超ディープサブミクロン設計者に、既存の設計環境を活かしつつ、設計フロー全体において消費電力を高度に管理する「力」を与えます。

参考文献

- [1] Paul Landman, "A Survey of High-Level Power Estimation Techniques," *IEEE Press*, pp. 508-515.
- [2] Jamil Kawa and Don MacMillen, "Controlling Power Is Paramount to Design," *ISD*, Nov. 2001, pp. 32-35.
- [3] Anantha P. Chandrakasan, Samuel Sheng, and Robert W. Brodersen, "Low-Power CMOS Digital Design," *IEEE Journal of Solid State Circuits*, April 1992, pp. 473-484.

お問い合わせ先：

日本シノプシス株式会社

〒163-0420 東京都新宿区西新宿2-1-1 新宿三井ビルディング20F TEL.03-3346-7030(代) FAX.03-3346-7050
〒531-0072 大阪府大阪市北区豊崎3-19-3 ビアスタワー13F TEL.06-6359-8139(代) FAX.06-6359-8149