

# DFT Compiler SoCBIST Deterministic Logic BIST

テクノロジー・バックグラウンダ

2002年9月

## はじめに

Synopsys Deterministic Logic BIST (DBIST) は、高精度なシステムオンチップ (SoC) テストのための新製品DFT Compiler SoCBISTの最も重要な機能です。Synopsys DBISTは、デジタル回路のテスト効率を根本的に高めると同時に、テスト品質を向上させ、設計者の負担を最小限に抑えます。この機能は、テスト・コストを軽減し、将来の大規模/高密度 SoC設計の全体的な品質向上を図るための、次世代ICのデジタル・テスト手法の基礎となるものです。

SoCBISTは、シノプシスのワンパス・テスト合成ソリューションであるDFT Compilerの機能を拡張したもので、回路の機能/タイミング/消費電力の諸条件に影響を与えることなく、予測可能なLogic BISTテスト機能を回路内にスムーズに実現化することを可能にします。Synopsys DBISTは、強力なBISTのデザイン・ルール・チェック (DRC)、論理合成、BIST回路の統合、パターン生成、検証、診断などすべての機能を提供します。

## 経済性を重視したICテスト・メソドロジ

1970年代におけるマイクロプロセッサの出現に伴い、コンピュータおよび半導体メーカーは、システムの組み立てが完了してから機能テストを行うのではチップ製造における欠陥率があまりにも高すぎたために、製造工程全体のできるだけ早い段階で集積回路をテストする必要性を認識しました。このため、テストは、IC製造の直後に個々のコンポーネント単位で、入力信号とシステム全体の応答をエミュレートする自動テスト機器 (ATE) に機能テスト・パターンを入力することによって実行されていました。機能テストの採用により、組み立ての完了した回路基板およびシステムは、検証済みの部品で構築されているため、適切に動作する可能性が高くなったことで、全体的な製造工程の効率と経済性が向上しました。機能テストはICテストの第1世代を象徴するものであり、約20年にわたって広く採用されてきました。

電子製品の複雑化と特化に伴い、特定用途向け集積回路 (ASIC) が登場し、デジタル・テストの対象になりました。ASICは比較的短期間での開発が可能のため、さらに最新式のテスト手法が必要となりました。1990年代初頭には、十分なレベルの故障検出率を達成するための機能テスト・パターンの作成に膨大なコストと時間を要するようになりました。そこで、スキャン・テスト手法が登場し、自動テスト・パターン生成 (ATPG) による予測可能な検出率という明確なメリットがもたらされました。統合されたテスト容易化設計 (DFT) 合成に加えて、大幅な設計上の手間やスケジュール遅延なしに、設計の早い段階で、高いテストビリティと厳しい品質条件を確実に満たすことが可能となりました。このように、過去10年における機能テストからスキャン・テストへの変化は、第2世代のICテスト手法を象徴しています。

## SoCテストの新しいメソドロジ

現在ではシステム全体をワン・チップ上に実現することが可能であり、数百万ゲート規模のSoCには第3世代のデジタル・テスト手法が求められています。ここでも最も根本的な問題とされるのは、経済性です。設計者とテスト・エンジニアが安い製造コストで設計への影響を最小限に抑えつつ、予測可能な高い検出率をもってスキャン・テストを適用するにはどのような方法があるのか。最重要課題の1つは、テストの検出率の向上に必要なスキャン・テスト・データの激増です。スキャン・テスト・データの全体量を決定する基本要因は次のとおりです。

- ・ スキャン対象の順序素子の総数
- ・ ターゲットとなる故障箇所の総数
- ・ テスト対象の故障モデルの数と複雑度

これらの要因はすべて、新しい世代の半導体製造技術が登場するたびに著しく増大します。チップI/O (およびATEのチャネル) の数とスピードの増加を制限する物理的な制約条件とこれらの要因が組み合わされることにより、結果として、スキャン・テストを適用するための時間とコストが指数関数的に増大します。スキャン・テストのこのような傾向は到底容認できるものではありません。シノプシスは、この問題を解決するため高精度SoCテスト向け新製品DFT Compiler SoCBISTの重要機能としてDeterministic Logic BISTを開発しました。

## Deterministic Logic BISTのアーキテクチャ

図1は、すでに確立されているLogic BISTの概念と下記に示すいくつかの基本的な目的を達成するための技術を組み込んだ、シノプシスのDeterministic Logic BISTの基本的なアーキテクチャを示したものです。

- ・ テスト適用時間を短縮するために、多数の並行内部スキャンチェーンのサポート
- ・ テスト・データの量を大幅に削減するために、BISTのシードおよびシグネチャとしてスキャン・テスト・データのコード化
- ・ 必要なテスト・ピン数の大幅な削減

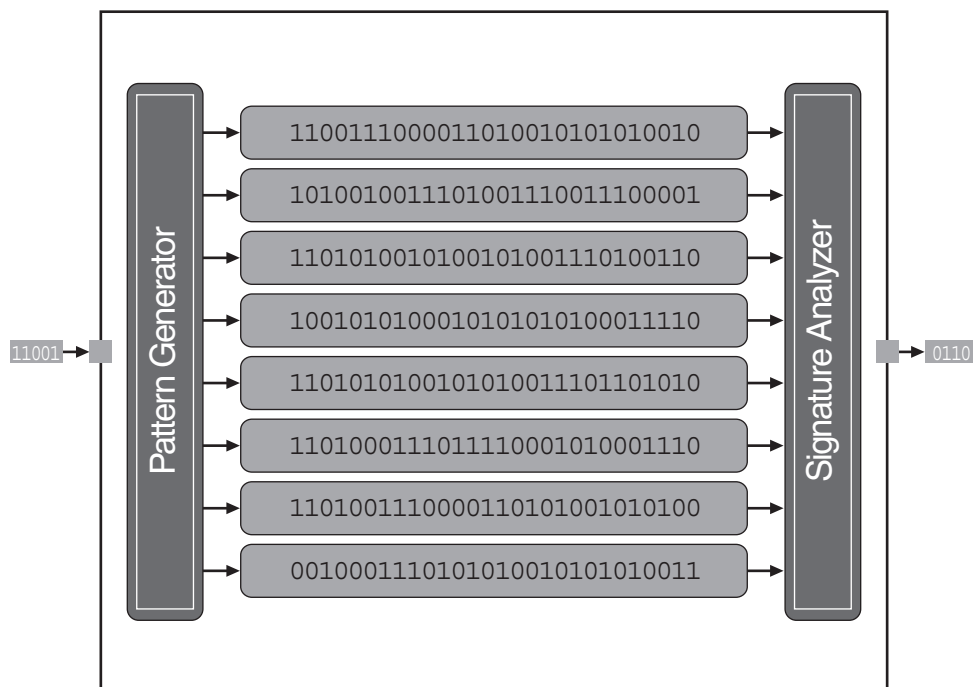


図1 : Synopsys Deterministic Logic BISTのアーキテクチャ

これ以外に、さらにシンプルなスキャン圧縮技術も考えられないことはありませんが、全体的なテスト・コストの削減率ではどれもLogic BISTには及びません。またLogic BISTは、コア/モジュール用に開発されたテストを、SoC/チップ、基板およびシステムレベルでも適用できるようにするというテストの再利用および移植性の点で、理想的な今後の設計環境と言えます。

従来のLogic BISTソリューションは数年前から存在しましたが、以下のような根本的な問題点により、広く受け入れられることはありませんでした。

- ・ 統合されたソリューションではなく、個々のツールがデザイン・フローに留められている状態であった
- ・ 検出率がランダムなLogic BISTに左右されるため、設計への影響が予測できず、テスト品質の低下につながる
- ・ テストは時間のかかるセルフ・テストの実行に依存するため、高額なATEでの製造テストは非常に非効率的で、故障検出率の見積りしか行えない
- ・ 診断が後付けで、専用のATEインターフェイスを必要とし、欠陥を検出するための完全な情報が得られない

課題は、上記の問題点を解消し、完全に統合されたDeterministic Logic BISTソリューションを提供することです。シノプシスは、これをDFT Compiler SoCBISTで実現しました。

## 統合されたDeterministic Logic BISTフロー

設計フローに完全に統合されていないテスト・ソリューションが主流の方法として採用されることはあり得ません。このため、Synopsys Deterministic Logic BISTは、業界で最も広く使用されている設計ツールであるシノプシスのDesign CompilerおよびPhysical Compilerにシームレスに統合されています。採用と使い勝手の容易性を追求したDBISTは、シノプシスのスキャンDFTソリューションを基盤としており、DFT Compilerを使用してDBIST対応の回路を作成し、TetraMAX ATPGを使用してテスター向けのDBISTパターンを作成します。

図2は、DBISTフローの主な手順を示しています。スキャンDFTに比べてわずかな手順が追加されているだけで、設計やテスト開発の工程に新たな作業の繰り返しは発生しません。このフローのポイントは、レジスタ・トランスファ・レベル (RTL) ルール・チェックの基準として適切に定義されたLogic BISTルールと、RTL合成に統合されたルール違反の自動修正です。DFT Compilerはすでにスキャンに関してこれらの機能を包括的にサポートしているので、DBISTメソッドでは、ほとんどの場合、既存のスキャン・フローに簡単な拡張を加えるだけで済みます。合成後のモジュール・レベルでは、シグネチャ・アナライザにX値を伝搬する可能性のある非制御ノードのみにLogic BISTルールが追加されます。追加のスキャン・セルは、ルール違反の発生しているノードのテスト・モードを全面的に制御できるように合成されます。トップレベルでは、DBISTテスト用ATEに接続されていないチップ・ピンは、追加のラッパー・スキャン・セルによって制御または観測できます。従来のLogic BISTとは異なり、ランダム・パターンに必要なとされるロジックの制御性および観測性を向上させるためにテスト・ポイントを追加する必要はありません。

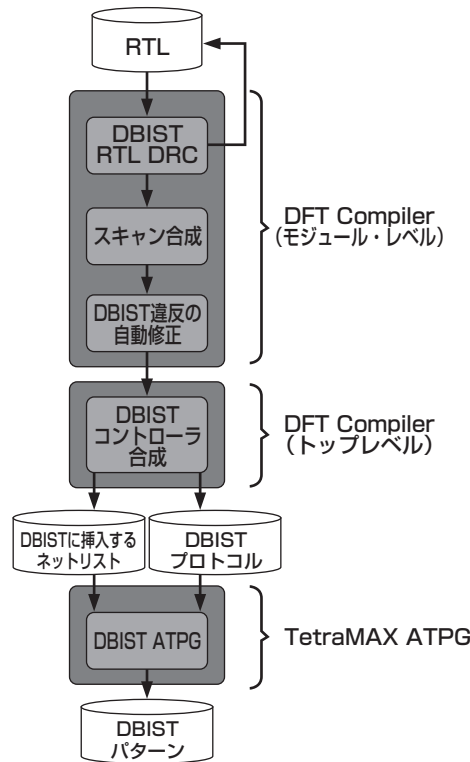


図2 : Synopsys Deterministic Logic BISTフローの主な手順

デザインのトップレベルでは、DBISTコントローラがDFT Compilerによって自動的に合成/挿入され、DBIST対応のモジュールとテスト・ピンに接続されます。最大規模の回路をサポートする場合でも、DFT Compilerでは、スキャン挿入済みモジュールやDBIST対応モジュールのテスト専用モデルを使用することができます。これらのテスト専用モデルは、ほぼ無制限の回路規模に対応し、トップレベルにおけるDBIST合成の実行時間を大幅に短縮します。DBISTコントローラはユーザーによる入力をほとんど必要とせず、最終的な内部スキャンチェーンのコンフィギュレーションに応じて自動的に設定されます。このDBISTコントローラがDBISTソリューションおよびそのメリットの中心的役割を果たしており、かつそのフローはスムーズで容易です。

DBISTコントローラは、以下に示すような従来のLogic BISTコンポーネントのいくつかを使用して、高度に最適化されたテスト・システムを実現します。

- ・ シード再実行に最適な非常に幅広いリニア・フィードバック・シフト・レジスタ (LFSR) とパラレル・シャドー・レジスタで構成される、1つまたはそれ以上の擬似ランダム・パターン・ジェネレータ (PRPG)
- ・ 内部スキャンチェーン入力に対して統計的に独立したPRPG値を供給する、1つまたはそれ以上の位相シフタ
- ・ 内部スキャンチェーン出力を4分の1に縮小するための、1つまたはそれ以上のコンパクト
- ・ テスト応答をまとめるための、1つまたはそれ以上のマルチ入力シグネチャ・レジスタ (MISR)
- ・ DBISTステートマシンとそれに関連するカウンタ

必須のLogic BIST機能のほかに、DBISTコントローラは、完全な製造テスト・プログラムに対応した4つの独立したテスト・モードをサポートしています。

1. 通常のDBISTテスト・モード - 内部スキャンチェーン・データはPRPGから入力され、スキャンチェーン出力はMISRに出力されます。
2. 通常のスキャン・テスト・モード - 内部スキャンチェーンはDBISTコントローラを迂回し、チップ・ピンに直結された少数のスキャンチェーンとして再構成されます。このモードは、IDDQやパス遅延パターンなどの小規模なスキャン・テストに有効です。
3. DBISTコントローラ・テスト・モード - DBISTコントローラ内部の順序素子がチップ・ピンに直結されたスキャンチェーンとして再構成され、故障検出率の高いDBISTコントローラのテストが可能です。
4. DBIST診断モード - 内部スキャンチェーン・データはPRPGから入力されますが、スキャンチェーン出力はMISR機能を迂回するので、キャプチャされたデータはMISR出力で直接的なアンロードとサンプリングが可能です。

完全なDBIST用回路を作成するための最後の手順は、見過ごされやすいかもしれませんが、その他の手順と同じく重要です。最後の手順では、DFT Compilerが、すべてのDBISTコントローラ・テスト・モードに対応するDBISTテスト・プロトコルを自動的に作成します。これらのプロトコルは、TetraMAXによって生成されたDBISTパターンに完全な制御とタイミング情報を供給し、DBISTテスト構造の認識および包括的なトップレベルのDBIST DRCの実行に不可欠なものです。図3は、IEEEの標準テスト・インターフェイス言語 (STIL) の構文を使用したDBISTテスト・プロトコル・ファイルの例です。

```
MacroDefs { // STIL macro definitions:
"load_unload" {
  ScanStructures lfsr;
  Shift { V { "lfsr_si"=#;
              "lfsr_so"=#;
              "bist_clk"=P; }}
}
"bist_setup" { /* ... */ }
"bist_load_unload" {
  ScanStructures bist;
  Loop 35 { // longest chain is 35 cells
    V { "bist_clk"=P; "clk"=P; }}
}
"prpg_shadow_load" {
  ScanStructures shadow_lfsr;
  Loop 3 { // 35 - 32 = 3
    V { "bist_clk"=P; "clk"=P; }}
  shift { V { "shadow_si1"=#;
              ....
              "shadow_si8"=#;
              "bist_clk"=P; "clk"=P; }}
  C { "shadow_transfer"=1; }
}
```

図3 : Deterministic Logic BISTテスト・プロトコル・ファイルの例

## 予測可能な高検出率

DFT Compilerが完全なDBIST用回路を供給するのと同様、TetraMAX ATPGは、スキャンと同様に高い検出率を可能にする非常に効率的なDBISTテスト・パターン（DeterministicなLogic BISTテスト・パターン）を生成します。このような高い検出率は、PRPGにシードを供給することによってのみ確実に達成できます。シードは、PRPGの状態を初期化する外部の値です。スキャン・テスト・パターン同様、TetraMAX ATPGは複数の故障をターゲットとし、それらの故障の検出に必要なcareビットのみをセットします。ただし、残りのdon't careビットにランダム値が埋め込まれるスキャン・パターンとは異なり、DBISTパターンのdon't careビットはPRPGから供給され、careビットはPRPGのシードの計算に使用されます。DBISTパターンのcareビットの数がPRPGの状態ビットの数よりも少ない限りにおいては、一次方程式のシステムの解を求めて、必要なすべてのcareビットがセットされているパターンをPRPGが生成するようなシードを見つけることができます。お客様の複数の回路から収集したデータによると、256~512ビットのPRPGでは、スキャンに比べて計算上検出率を低下させることなく、パターンを生成することができます。スキャン同様、TetraMAXは、PRPGによって生成される全DBISTパターンの故障シミュレーションを行い、非決定的に生成された値に加わる検出率を反映します。また、TetraMAX Verilog-HDLシミュレーションのテストベンチは、ゴールデン・チップ・モデルに対するDBISTパターンの検証を全面的にサポートします。

このテクノロジーは縮退故障テストのみならず、決定的遷移故障パターンにも適用できます。DBISTアーキテクチャにより、最終シフト起動とクロック・パルスのキャプチャとは異なりATEからの外部信号の変更を行わずに、at-speedサイクルが可能で、このようなテストは、at-speed Logic BISTの消費電力を過度に浪費させずに、従来のスキャン・テストやLogic BISTテストに比べてはるかに高いディープ・サブマイクロンの欠陥検出率を実現します。また、DBISTによって生じた莫大なヘッドルームは、最小限の追加コストで高検出率の遷移故障パターンを適用できることを保証します。

## テスト・データ量とテスト適用時間の削減

Synopsys Deterministic Logic BIST PRPGのシードは、決定的な検出率を提供するだけでなく、ATPGスティミュラスの非常に効率的な保存/送信を可能にします。100Kのスキャン・セルを含む大規模設計で各スキャン・パターンに100Kの入力データ・ビットが必要であるとすると、各DBISTパターンに必要な入力データ・ビット（シード）は500未満です。出力では、さらに大幅にデータ量が削減されます。この例では、各スキャン・パターンに対して100K~200Kビットの期待出力データを保存するのではなく、これらのビットを複数のパターンにわたって128ビットのシグネチャに先ず圧縮してから期待応答値と比較されます。

テスト適用時間の削減は、2つの基本的な方法によるものです。第1の方法は、僅かな外部テスト・ピンだけで多数の並行内部スキャンチェーンを可能にするDBISTアーキテクチャです。従来のスキャンで並行スキャンチェーン数を増やすと、追加されるそれぞれのスキャンチェーンにつき、2つのテスト・ピンとATEチャンネルの追加が必要です。通常DBISTは512の内部スキャンチェーンを使用しますが、これより少ないまたは多い数もサポートされています。デフォルトのコンフィギュレーションでは、約20の外部テスト・ピンが必要ですが、DBISTコントローラは、その外部ピンの数を6つまで減らす特殊なコンフィギュレーションにすることができます。第2の方法は、PRPGの並行シード入力の再実行です。内部スキャンチェーンのシフトがPRPGのシード入力の完了を待たなくてはならない場合、テスト適用時間はスキャンに比べて削減されない可能性があります。ただし、現在のパターンが内部スキャンチェーンにシフトされると同時にPRPG内の並行シャドー・レジスタに次のシードをロードすることにより、テスト適用時間は、最も長い内部スキャンチェーンの長さに対する相関関係を保ったものになります。

## 障害の診断

正確な障害診断がなければ、DBISTは完全な製造テストのソリューションにはなりません。Logic BISTテストの診断で避けられない問題は、キャプチャされた応答がシグネチャ・レジスタで高度に圧縮されているため、実質的には可否の情報しか含まないという点です。検査に合格しなかったスキャン・パターンには期待値と一致しなかったスキャン・セルが示されますが、DBISTパターンの場合はさらに複雑な解析を必要とします。他のDBIST機能と同様に、DBIST診断のアプローチでも、既存のTetraMAXの精密なスキャン診断機能を利用しています。データの不一致が発生した内部スキャン・セルにDBISTの故障が分離されると、不合格となったスキャン・パターンの障害箇所の検出に使用されると同じ技術を同様に適用することができます。

内部スキャン・セルの期待応答データは、DBISTパターンに含まれないため、一連のDBISTパターンに関する圧縮されていない応答を収集してから、TetraMAXを使用してそれらのパターンを再度シミュレーションし、不一致のあるスキャン・セルを特定する必要があります。すべてのDBISTパターンに関する圧縮されていない応答を収集することは、標準的ATEのほとんどで現実的ではありません。幸いなことに、ほとんどの障害は、いくつかの不合格パターンのみを不一致を使用して正確に分離することができます。不合格パターンを効率的に特定するため、DBISTテストは複数のインターバルとして構成され、それぞれのインターバルの終わりで、MISRシグネチャが比較されます。通常、DBISTインターバルは32のパターン（32の内部スキャン・ロードおよびキャプチャ）で構成されます。従って、DBIST診断では2パス・プロセスが用いられます。最初のパスで、不合格のシグネチャが不合格のインターバルを特定します。第2のパスで、デバイスがDBIST診断モードに設定され、1つまたはそれ以上の不合格のインターバルが再実行され、ATEに圧縮されていない応答が収集された後、TetraMAXで処理されます。このデータ収集は、32パターン各スキャン・セルのデータに十分なキャプチャ・メモリ以外に、特別なATE機能を必要としません。

## Deterministic Logic BISTの結果

表1は、大規模なベンチマークで、DBISTによるテスト・データ量とテスト時間の削減をスキャンと比較したものです。スキャンとDBISTどちらもTetraMAX ATPGの設定は同じで、いずれのケースでも検出率は99%を超えています。スキャンのデータは16のスキャンチェーンに基づいており、DBISTでは512の内部スキャンチェーンに基づいています。

	スキャン・セル	テスト時間の削減	テスト・データの削減
回路#1	17.6K	17.0倍	185.4倍
回路#2	21.4K	15.8倍	147.1倍
回路#3	45.6K	15.9倍	260.1倍
回路#4	50.5K	23.4倍	409.8倍

表1：スキャンと比較したDBISTのテスト時間とテスト・データの削減  
(回路はすべて約100万ゲート)

## 結論

これまで、設計者およびテスト・エンジニアは、テスト・メソッドロジにおいて、デザイン・フローに対する影響と製造テストのコスト間の根本的なトレードオフを行うことを余儀なくされてきました。一方を改善することは、もう一方を犠牲にする結果となります。しかしDeterministic Logic BISTの採用により、DFT Compiler SoCBISTは、テストのコスト削減のための最強かつ予測性に優れたテクノロジーをダイレクトに、業界で最も採用されているデザイン・フローに統合します。これにより、設計への影響をわずかに抑えつつ、最小限のコストで最高の品質を実現することが可能になります。

お問い合わせ先：

## 日本シノプシス株式会社

〒140-0014 東京都品川区大井1-28-1 住友不動産大井町駅前ビル TEL.03-5746-1500(代) FAX.03-5746-1550  
〒531-0072 大阪府大阪市北区豊崎3-19-3 ビアスタワー13F TEL.06-6359-8139(代) FAX.06-6359-8149