

フィジカル・スキャン合成

ワンパス・フィジカル・スキャン・オーダリング
テクノロジー・バックグラウンダ

2001年10月

目次

- ・ 概要
- ・ はじめに
- ・ フィジカル・ドメインのDFTインプリメンテーションの課題
- ・ ワンパス・フィジカル・スキャン合成とは
- ・ 推奨されるフィジカル・スキャン・フロー
- ・ 結論

概要

設計業界ではフィジカル・シンセシス・ソリューションの全面的な採用が進行しており、このような状況下においては、設計プロセスの全段階でテストビリティを考慮に入れる必要があることは明らかです。数百万ゲート設計の設計条件をすべて満たすには、タイミング、面積、消費電力、およびテストの制約条件を迅速に満足させる必要があります。主要な物理設計をフロントエンドの設計工程に移行させるフィジカル・シンセシスでは、設計の早い段階でテスト回路を設計する基本的な決定を行うことが可能になるだけでなく、タイミング、面積、および消費電力の制約条件も同時に満たすことができます。

はじめに

今日の複雑な設計において、テストビリティの目標を達成し、効果的な製造テストを行うためには、テスト容易化設計 (DFT) は設計プロセスに不可欠なものとなりつつあります。DFT Compilerは、スキャンと合成を緊密に統合するワンパス・スキャン合成フローをサポートしています。このフローを使用することにより、シームレスなスキャン挿入を行い、テスト・ロジックのすべての設計制約条件を満たすことができます。テスト合成は、一般的なASIC設計フローで最も多く採用されているDFT手法ですが、現在ではRTLからバックエンドの配置/配線まで設計プロセス全体でテストビリティを考慮する必要があるということが明らかになってきました。このようにテストビリティを広い範囲で考慮するために必要なテクノロジーのひとつは、テスト合成がフロアプランニングとレイアウトの問題を認識し、フィジカル・デザイン・ツールと緊密に統合するようにすることです。

物理設計フェーズでスキャン・チェーン・アーキテクチャをインプリメントする従来の設計フローでは、全体のタイミングの収束に対するリスクが大きくなります。このようなフローにDFT回路を挿入すると、機能回路の配置が完全に最適化されず、配線混雑が発生し、面積のオーバーヘッドが増大します。通常、これらの問題を解決するために、バックエンドの配置/配線ツールによるレイアウトベースのスキャン・リオーダーリング・ソリューションが提唱されてきました。しかし、これらのソリューションは、配置/配線後にスキャン・チェーンのリオーダーリングを行うという、設計フローから外れた非効率なフローに依存しているため、設計のやり直しが増加します。

最近の合成技術の革新により、DFTをフィジカル・シンセシス・フローに統合することが可能になりました。これにより、フィジカル・シンセシス実行時にスキャンにより発生する配線混雑を考慮し、物理的な配置情報を考慮しながらスキャン・チェーン・オーダリングを行うという画期的な新機能が実現されました。この方法では、配置情報とタイミング最適化のスキャン・オーダリング・アルゴリズムの採用によりデザインフロー内でスキャン・チェーンのオーダを決定します。DFTと物理設計の緊密な統合により、スキャン配線に関連する配線混雑とタイミング違反を排除し、タイミング収束とDFT収束の両立を妨げるリスクを最小限に抑えることができます。またこれは設計の配線予測性を高めることにもなります。

シノプシスは、Physical Compiler設計環境内においてDFT Compilerのすべての機能を活用できるようにし、配置情報に基づいたワンパス・スキャン・オーダリングを可能にするワンパス・フィジカル・スキャン合成を実現しました。

物理設計フェーズでのDFTインプリメンテーションの課題

フィジカル・シンセシス環境へのDFTの統合により、以下の重要な課題が処理されます。

- ・ テスト設計のルール違反を修正するために追加されるDFTロジックの挿入とタイミングへの影響。
- ・ 配線混雑と面積のオーバーヘッドを低減するための回路のスキャン・セル・オーダリング。スキャン・オーダリングでは、スキャン・パス上のタイミング違反を減らすことにフォーカスし、さらに回路の障害ブロック、配線禁止領域および混雑を考慮する必要があります。
- ・ スキャン・パスのセットアップとホールド時間の違反。
- ・ 新たに追加されるDFTロジックと同期ラッチのタイミング収束を実現するための高度な最適化。
- ・ 固有の設計特性においてスキャン接続が回路の配線効率に及ぼす影響。

ワンパス・フィジカル・スキャン合成とは

DFT CompilerとPhysical Compilerのワンパス・フィジカル・スキャン合成は、DFTとフィジカル・シンセシスを緊密にリンクする、完全に統合されたフローを提供します。ワンパス・フィジカル・スキャン合成は、DFT挿入時の配置や配線禁止領域などの物理的な制約条件を考慮し、DFTロジックがタイミングに及ぼす影響を最小限に抑え、タイミング収束を向上させます。図1に、ワンパス・フィジカル・スキャン合成の工程を示します。

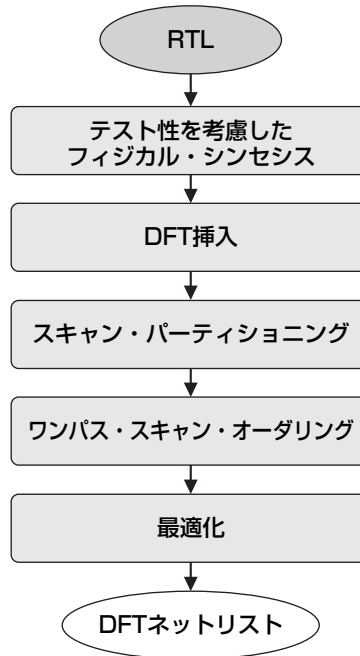


図1: ワンパス・フィジカル・スキャン合成フロー

テスト性を考慮したフィジカル・シンセシス

DFT Compilerによる現在のワンパス・スキャン合成は、スキャン・フリップフロップのセットアップ時間を考慮し、合成時のスキャン・チェーン接続によって追加された負荷をモデル化します。これにより、早い段階でのタイミング収束が保証されます。

フィジカル・シンセシスを実行する際には、レジスタ間のスキャン接続は存在しません。このため、フィジカル・シンセシスがスキャン接続の配線に必要な配線リソースを考慮しない場合、回路の配線効率が低下します。一方、配置時にスキャン接続が考慮される場合は、機能ロジックの配置が完全に最適化されません。

上記の条件をどちらも満たすためには、最適な配置を実行すると同時に、スキャンに必要な配線リソースを考慮するようにフィジカル・シンセシスのプロセスを変更する必要があります。このため、DFT CompilerとPhysical Compilerは、フィジカル・スキャン合成時のスキャン混雑見積もりをサポートしています。この機能により、レジスタを多く含む回路の配線効率が高まります。

DFTロジック挿入の効果

フルスキャン設計手法では、レジスタの非同期ピンとクロック・ピンを主入力から制御可能にしたり、回路の特定部分の観測性を高めるために、一般的に追加ロジックを挿入します。現在、DFT Compilerは、論理合成ドメインでのAutoFix機能を提供しています。この機能では、DFTロジックを挿入することによって、制御不能なクロックやセット/リセットのスキャン設計ルール違反を自動的に修正し、同時にすべてのタイミング制約条件を満たすことができます。しかし、このロジックは物理設計時にインクリメンタルに配置し、タイミング収束を満たすために最適化する必要があります。このため、設計フローが複雑化し、設計のやり直しが複数発生します。

DFT CompilerはPhysical Compilerと組み合わせて使用することにより、スキャン設計ルール違反を修正するために必要なロジックの挿入や、新たに追加されたDFTロジックを高度に配置する機能で、設計制約条件を満たしつつ配線混雑を削減するソリューションを提供します。このソリューションにより、DFTロジックのタイミング収束が保証され、設計のやり直しを最小限に抑えることができます。

スキャン・チェーン・パーティショニング

回路のスキャン・チェーンの数は、さまざまな自動テスト装置（ATE）の仕様と設計制約条件に左右されます。通常は、回路内に複数のスキャン・チェーンを構築するために、クロック・ドメインとユーザ制約条件に基づいて個々のスキャン・チェーンにスキャン・セルが割り当てられます。DFT Compilerを論理設計フェーズで使用すると、スキャン・チェーンは通常デフォルトでクロック・ドメインに基づいて分割および接続され、各チェーン内では、スキャン・セルがアルファベット順に接続されます。同じクロック・ドメイン内のスキャン・セルも、それぞれのチェーンにアルファベット順に割り当てられます。ここで問題になるのは、複数のスキャン・チェーン間のスキャン・セル割り当てに関する物理情報が欠落していることです。この方法では、バックエンド・ツールによる配置後に配線混雑が増加し、スキャン・チェーン・リオーダリングを行う際にスキャン・チェーン間でスキャン・セルを交換する必要が生じます。

Physical Compilerの環境では、同じクロック・ドメインまたはクロック・ドメイン間でのスキャン・チェーンの割り当ては物理情報に基づいて行われます。スキャン・チェーンのパーティショニングの際は、ツールがスキャン・チェーン内のセルの物理位置を考慮します。この結果、クロック・ドメインとスキャン・セルの物理位置の両方が考慮された、最適なスキャン・チェーンが生成されます。これにより、タイミングと設計ルール・チェックが向上し、さらに回路の配線混雑が減少します。

ワンパス・フィジカル・スキャン・オーダリング

スキャン・チェーンに割り当てられたスキャン・セルは、1つのチェーンとしてオーダリングと接続が必要となります。スキャン・テストではチェーン内のスキャン・セルの順序は問題とならないため、論理設計フェーズで用いられる多くの既存テクニックでは単純な論理名を使用して、スキャン・チェーンのスキャン・セルを接続するための階層の横断を減らしています。しかし、これらのスキャン接続では、配置の際に配線混雑が生じます。このため、配線長を短縮するために、バックエンド・ツールまたはDFT CompilerのScanPlannerオプションを使用して、スキャン・チェーンのリオーダリングを行います。

DFT CompilerはPhysical Compilerと組み合わせて使用することにより、配置情報を利用してスキャン・チェーンの接続とオーダリングを非常に早い段階で行います。このため、チェーンのリオーダリングを後で行う場合に発生する設計のやり直しを軽減します。クロック・ドメイン、クロック・エッジ、ユーザ仕様など配置属性を除くその他のDFT制約条件も処理され、単一チェーン内のクロック・ドメイン間にわたるスキャン素子の接続時に回路に追加される同期素子（ロックアップ・ラッチ）の数も最適化され、削減されます。図2に、物理情報を利用したスキャン・チェーン・オーダリングを行う利点を示します。これにより、スキャン・ネット長は短縮され、配線混雑を最小限に抑えることができます。

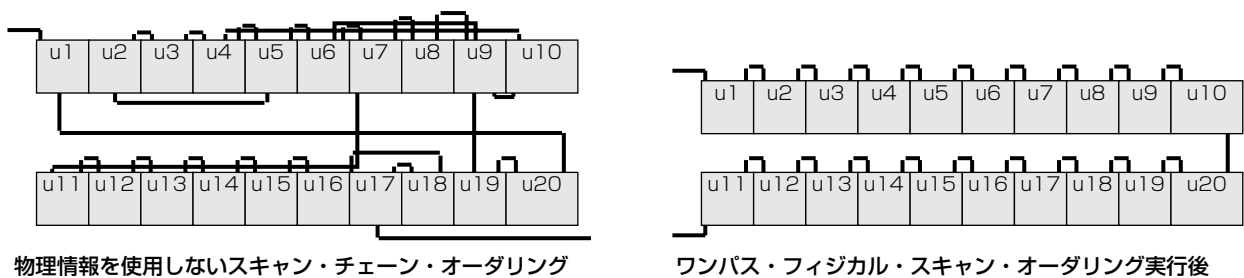


図2: ワンパス・フィジカル・スキャン・オーダリング

最適化

スキャン・チェーンの接続後は、DFT挿入プロセスを完了する前にスキャン・パスのタイミング違反を修正する必要があります。DFT CompilerとPhysical Compilerのフィジカル・スキャン合成は、回路を最適化してスキャン・パスのセットアップとホールド時間の違反を修正します。

これらの違反は、一般にスキャン・パスにバッファとインバータを追加することによって修正します。スキャン・チェーンを接続した後、ローカルに最適化を実行して設計制約条件を修正し、タイミング収束を迅速に達成します。

推奨されているフィジカル・スキャン・フロー

シノプシスは、物理ドメインで次の3種類のスキャン・フローを推奨します。

- ・ RTL-to-Placed-Gatesフロー
- ・ Gates-to-Placed-Gatesフロー
- ・ スキャン・チェーン・リオーダリング・フロー

RTL-to-Placed Gates (RTL2PG) フロー

RTL-to-placed-gatesの手法は、RTLソース、タイミング、DRC制約条件、デザイン・ライブラリ、およびDFT情報を使用して、実配線にとって最適な配置を実施するフローで、この場合DFT CompilerとPhysical Compilerを同時に実行します。このフローは、RTLからPhysical Compilerだけを使用して従来のスキャン合成フローを実施する場合に用います。図3に、RTL-to-placed-gatesフローとスクリプトおよびコマンドの例を示します。

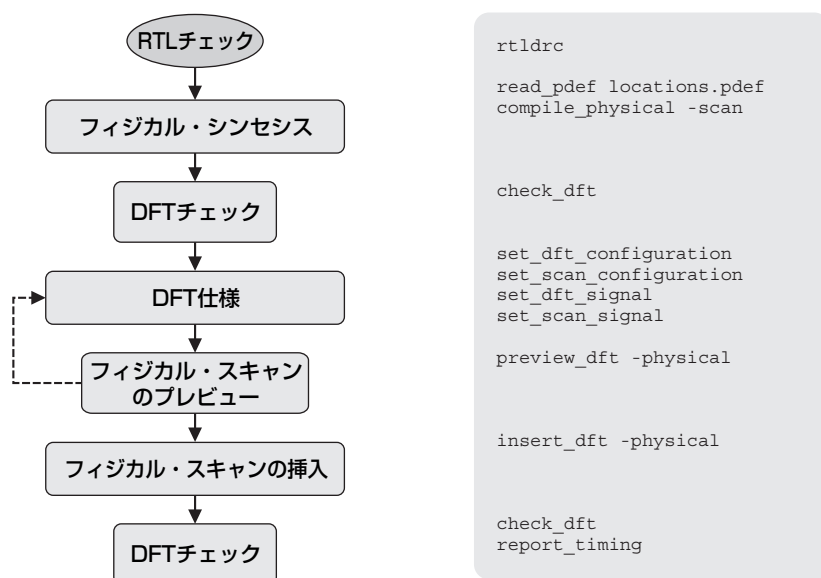


図3: RTL2PGフロー

Gates-to-Placed Gates (G2PG) フロー

Gates-to-placed-gatesフローは、Design CompilerとDFT Compilerで合成されたテスト性を考慮したネットリストが利用できる際に用いることができ、さらに配置を行い、ワンパス・フィジカル・スキャン・オーダリングを実行するために、Physical Compilerが用いられます。

このフローでは、まず配線負荷モデルを使用してDesign CompilerのRTLのスキャンを用いて合成され、次にPhysical Compilerが合成されたネットリストをさらに配置/最適化します。物理情報に基づいてスキャン・チェーンを接続するために、Physical Compilerでスキャン・チェーン・オーダリングを実行します。これにより、回路の配線性が最適化され、タイミング収束が達成されます。図4に、gates-to-placed-gatesフローとスクリプトおよびコマンドの例を示します。

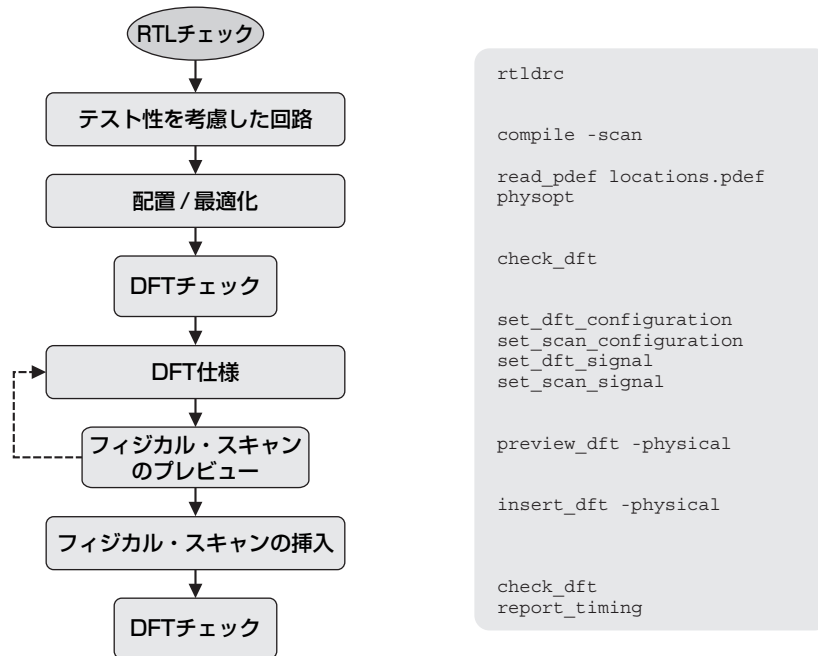


図4: G2PGフロー

スキャン・チェーン・リオーダリング・フロー

Physical Compilerに統合されたDFT Compilerの機能は、物理情報に基づいて初期仕様からスキャン・チェーンを構築する機能など、ワンパス・スキャン・オーダリングの結果品質を高めるための機能がさらに充実しています。

また、シノプシスのフィジカル・スキャン合成ソリューションでは、DFT Compilerまたはその他のサードパーティ製スキャン接続ツールによってスキャン・チェーンが論理設計フェーズで既に接続されている場合、配置情報に基づいたスキャン・チェーン・リオーダリングを行うこともできます。スキャン・セルを異なるスキャン・チェーンに割り当てるといったフィジカル・スキャン・パーティショニング機能は、このフローでは活用できません。

DFT CompilerとPhysical Compilerへは、配線済みスキャン・チェーンを含むネットリストを読み込みます。しかし、このフローでは、既存のスキャン・ポートと非スキャン・フリップフロップが存在する場合、それらを識別して、スキャンがすでに存在することをDFT Compilerに伝達する必要があります。図5に、スキャン・リオーダリングのフローとスクリプトの例を示します。

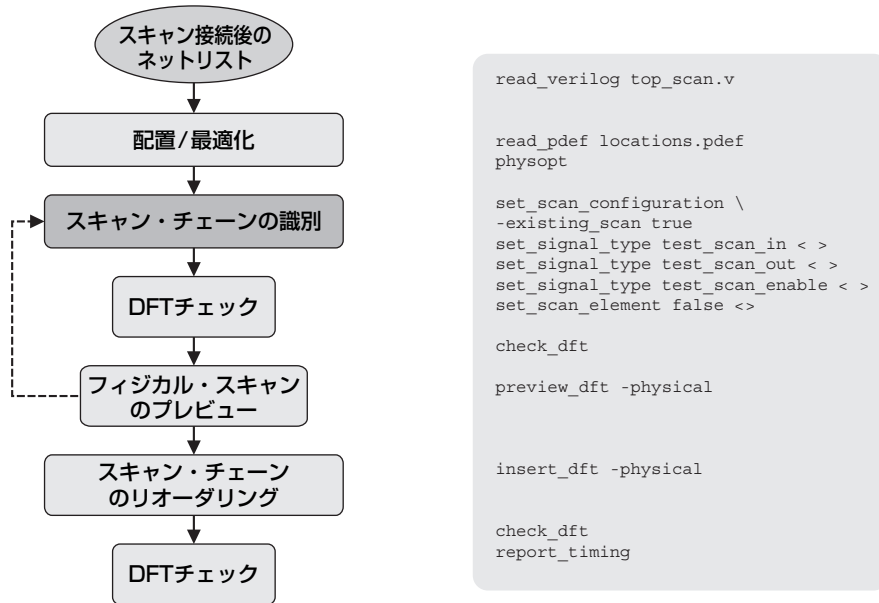


図5: スキャン・チェーン・リオーダーリング・フロー

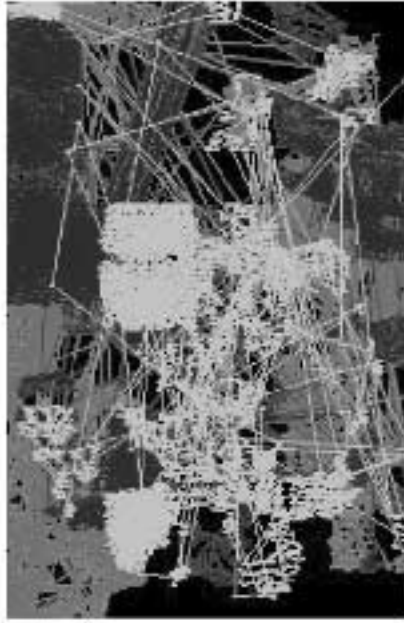
結論

フィジカル・シンセシス・ソリューションおよび設計フローの進展に伴い、EDAツールはRTLから製造テストに至るフロー全体の一部としてDFTを組み込む必要があります。シノプシスのフィジカル・シンセシス・ソリューションは、RTLから物理ドメインに至るまでの工程で、DFT挿入およびスキャン・オーダリングがもたらす課題に対応しています。

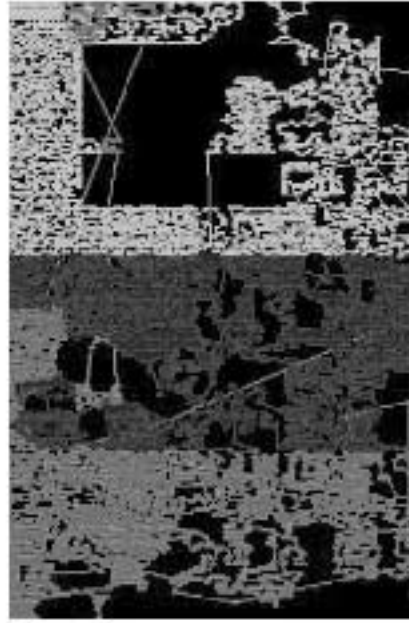
このシノプシスのフィジカル・シンセシス・ソリューションは、多くのユーザ設計事例に見られるとおり、配線混雑を12%~18%削減します。図6に、スキャン・ネット長の違いと、物理情報を利用したスキャン・パーティショニングのメリットを示します。

シノプシスのDFT CompilerとPhysical Compilerが提供するソリューションの主要なメリットは、フィジカル・シンセシス・ソリューションとの緊密な統合によって、スキャンの配置とオーダリングが回路のタイミング全体に及ぼす影響を最小化できることです。このソリューションは、スキャン・ネットによる優れた混雑見積もりによって、高い配線予測性を提供します。また、スキャン・チェーン・パーティショニングおよびオーダリングにより、混雑が減少し、タイミング違反が最小限に抑えられます。さらに、DFTロジックの高度な配置と最適化が、DFTによるタイミング収束への影響を減少させます。

これらの機能をDFTに統合し、フィジカル・シンセシス全体で適用することにより、正確なテストビリティ、タイミング、面積、および消費電力の制約条件を早い段階で実現できます。



通常のスキャン・オーダーリング



配置ベースのスキャン・パーティショニング
とスキャン・オーダーリング

図6: 配置ベースのスキャン・オーダーリングとパーティショニング

お問い合わせ先：

日本シノプシス株式会社

〒163-0420 東京都新宿区西新宿2-1-1 新宿三井ビルディング20F TEL.03-3346-7030(代) FAX.03-3346-7050
〒531-0072 大阪府大阪市北区豊崎3-19-3 ビアスタワー13F TEL.06-6359-8139(代) FAX.06-6359-8149