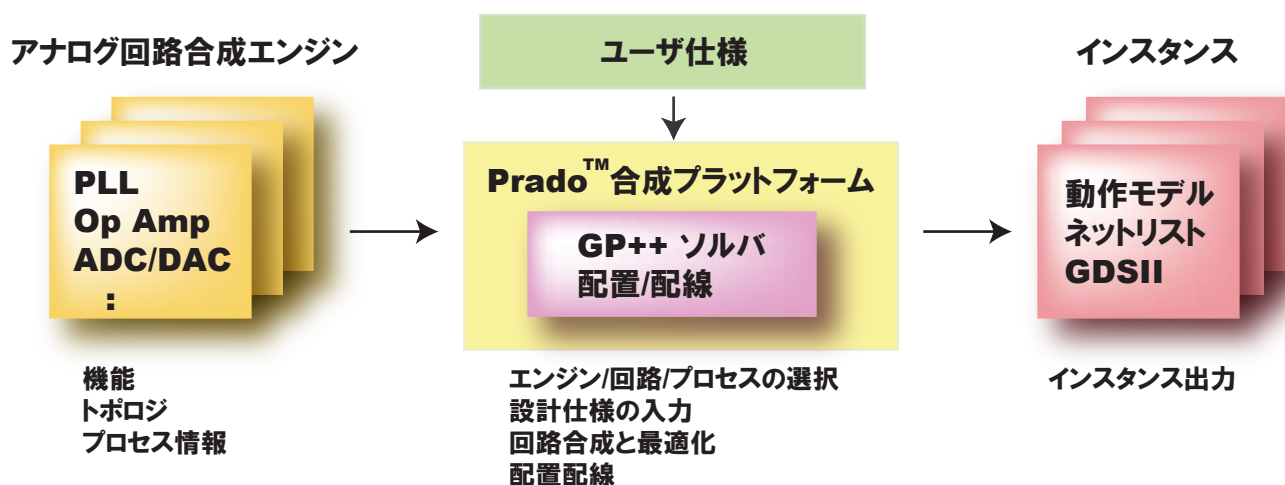


バルセロナソリューションアーキテクチャ



- 数時間でアプリケーションに最適な高品質アナログIPを合成
- 強力なソルバ
- ハイパフォーマンスルータ内臓
- 配線済みGDSIIを生成
- 短時間で設計領域の調査が可能

Miro™ CGS18T PLLエンジン

- 数時間でクロック生成/同期/デスクューPLLを生成
- 広範囲なプロセスコーナ/電圧/温度条件に対応
- 2GHzまで対応
- プログラマブル(N=1~6)分周、固定(2^N: N=1~8)分周を選択可能

シリコン測定結果(Ta=25°C、VDD=1.8V)

パラメータ	仕様	算出値(Worst)	算出値(Typical)	測定値
入力周波数(MHz)	20	20	20	20
出力周波数(MHz)	200	200	200	200
VCO 出力周波数(MHz)	400	400	400	400
Period Jitter rms(ps)	50	45	22	4.8

TSMC 0.18um CMOS Process

400MHz クロック生成 PLL

面積 890um x 281um