

iSAVE-MP
SoC Design Platform

iPROVE
Intelligent PROtotype Verification Engine

iSAVE-P3X2
Compact C-based behavioral Emulator



iSAVE-MP

SoC Design Platform

概要

iSAVE-MPはハードウェア/ソフトウェア協調設計検証のためのシームレスな設計検証プラットフォームを提供します。

設計者はiSAVE-MPを用いることによって、ASICまたはSoC設計のアーキテクチャレベルからゲートレベルまでの検証が可能になります。iSAVE-MPは各種設計言語(C/C++, SystemC, HDL, EDIF)やミックスレベル(ビヘイビアモデルからサイクルレベルまで)をサポートしています。

iSAVE-MPは強力な計算能力をもつマルチプロセッサと、ターゲットとのインターフェースを実現するSTAR(Split Target interface Architecture)、HDL設計をサポートするRFE(Reconfigurable FPGA Engine)などで構成されています。ARM、MIPSやその他DSPなどのプロセッサコアを用いた組み込みシステム設計にも対応しています。

iSAVE-MPはLinuxベースの独立システムを用いた使いやすい検証環境を提供し、HDLやEDIFで記述された既存の設計ブロックを容易に組み入れることができます。さらにC言語ベースの設計のほか、in-System検証や組み込みコア設計など、設計や検証環境を拡張する様々なオプションを備えています。

設計者はiSAVE-MPを用いて高速検証用のTransaction-basedモードと信号レベル検証用のCycle-basedモードが選択できます。

iSAVE-MPはソースレベルでのデバッグ、PSA(Pin Signal Analyzer)、SVA(Software Variable Analyzer)などのデバッグ機能を備えています。

特徴

強力なプロセスエンジン

- Linuxベースの独立ソリューション
 - マルチプロセッサによる強力な計算能力
 - 複数のSTARによる柔軟なターゲットインターフェース
- マルチ言語検証
- C/C++, SystemC, Verilog, VHDL, EDIF
 - HDL設計をサポートするRFE

マルチ検証モード

- 高速検証用のTransaction-basedモード
- 信号レベル検証用のCycle-basedモード

強力なデバッグ機能

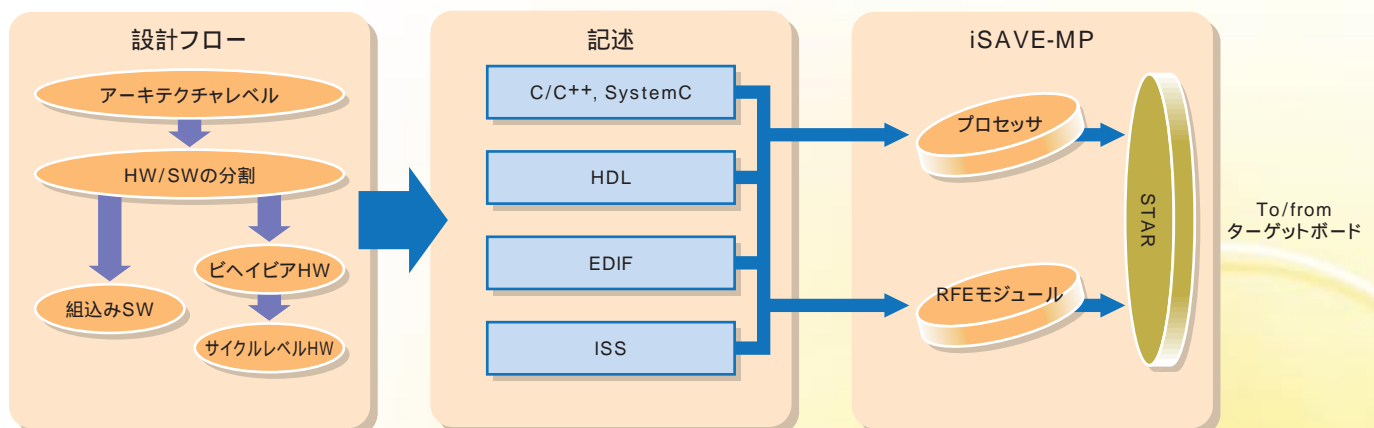
- PSA:内蔵型のロジックアナライザで信号ピンのモニタが可能
- SVA:ソフトウェア変数のトレースが可能
- 信号ピンとソフトウェア変数が同時軸で表示可能
- Gnu Debugger(GDB)ベースのソフトウェア・デバッグ

使いやすいIGUI

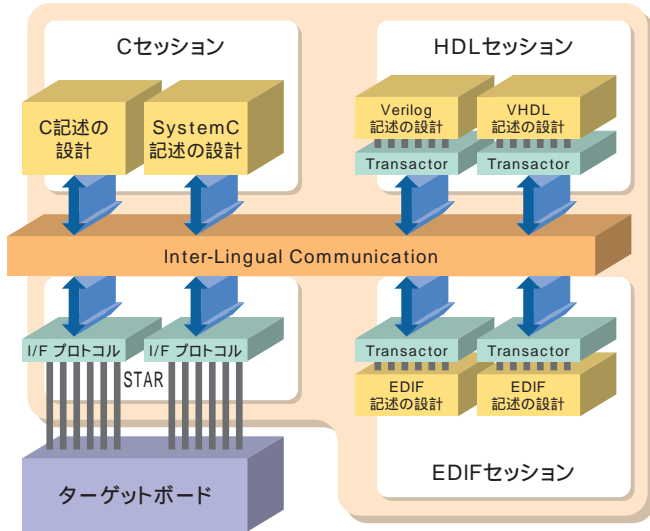
in-System検証



アーキテクチャレベルからゲートレベルまでの設計フローをサポート



構成



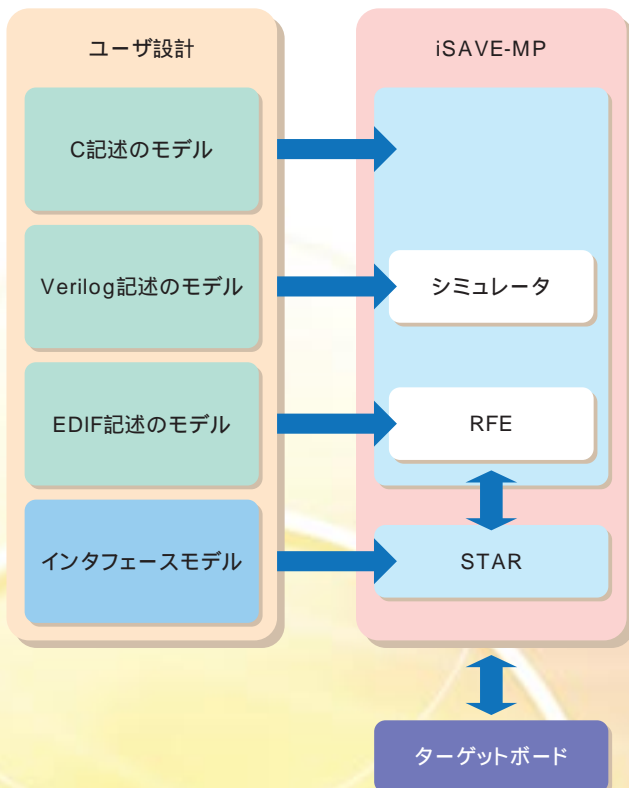
iSAVE-MPは異なる記述言語で表現/実行される設計ブロック間で通信ができるILC(Inter-Lingual Communication)技術を用いて、効果的に複数の言語と複数の抽象レベルを同時に処理することができます。

また、STARの特殊な構造によって、ターゲットボード上の多数のI/Oピンと接続できます。

適用例

- システム設計者:
- ・協調設計と協調検証のプラットフォーム
- ソフトウェア設計者:
- ・実ハードウェア(ヴァーチャル・プラットフォーム)上でのソフトウェアテスト
- ハードウェア設計者:
- アプリケーションソフトを用いたハードウェア設計のテスト
 - テストベンチの作成労力の大幅な削減
 - ビヘイビアからゲートレベルまでのマルチレベル抽象度の混在をサポート
 - C, C++, SystemC, Verilog, VHDL, EDIFなど、マルチ設計言語の混在をサポート
- 検証エンジニア:
- ヴァーチャルチップと実チップの動作比較によるICテスト
 - ストリーミングデータ入出力によるボードチェック

仕様



Computing power

プロセッサ数	2個*
クロック周波数	1.7GHz 以上*

Target interface

STAR当りのIOピン数	最大350pin
System当りのSTAR数	最大3
IO動作	3.3V LVTTTL
IO動作速度	最大100MHz*
モニタ可能なIOピン数	最大384pin/STAR

RFE(FPGA module)

ゲート容量	100万 ~ 600万ゲート*
-------	-----------------

*システム構成によります

- 必要な他社製品:
- ・HDLシミュレータ
 - ・ロジックシンセサイザ
 - ・P&Rツール

iPROVE

Intelligent PROtotype Verification Engine

概要

システム・オン・チップ(SoC)の到来により、チップ全体が1つのシステムとして検証され、C/C++, HDL, EDIFネットリストおよびIPブロックといった様々な設計言語が混載して使用されることがますます増えています。

iPROVE (Intelligent PROtotype Verification Engine) は、ソフトウェア・シミュレーションの多くの柔軟性と、FPGAによるプロトタイピングの全ての利点をあわせ持ち、効率的で高機能な検証およびデバッグ・ソリューションを提供します。

特徴

Hardware

- ・66MHz/33MHz, 64bit/32bit に対応
- ・ビルトイン・ロジックアナライザ: BILA
- ・外部インタフェース・ポート: DPP
- ・Altera/Xilinxをサポート

Software

- ・C/C++やVerilog/VHDLの協調シミュレーションやテストに対応した様々なAPI
- ・サイクルレベルやトランザクションレベル検証モードをサポート

機能

インタフェーシング機能[Interfacing features]:

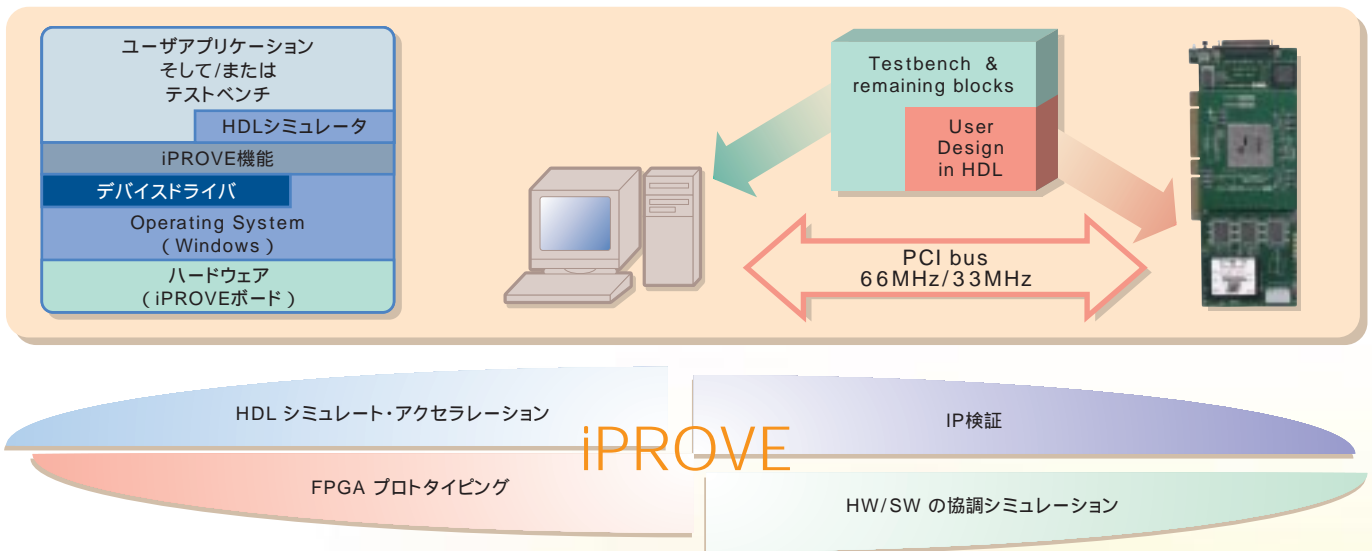
- ・C/C++ APIによって、設計者は高級言語を使ったテストベンチの開発ができます。
- ・HDLのPLI/FLIによって、設計者はわずかな変更でHDLシミュレーション環境を構築できます。
- ・SWシミュレーションとHWエミュレーションの間のメカニズムによって、HW-SWの協調開発環境を提供します。SWシミュレーションはホスト・コンピュータ上で実行し、HWエミュレーションはiPROVEハードウェアで動作します。

デバッグ機能[Debugging features]:

- ・iPROVEに組み込まれたBILA (Built-in-logic-Analyzer) を用いて、iPROVEのFPGAにマップされたDUT (Design Under Test) の信号を観察することができます。

外部コネクション機能[External connection features]:

- ・DPP (Data Pumping Port) によって、DUTと外部とのデータの送信 / 受信を可能にします。



主な適用分野

チップ設計: C/HDL/EDIFで記述された各種フォーマットのブロックとともに、テストを実施するブロック/モジュールを簡単に検証できます。また、検証済みのIPブロックを使用してシミュレーションができます。

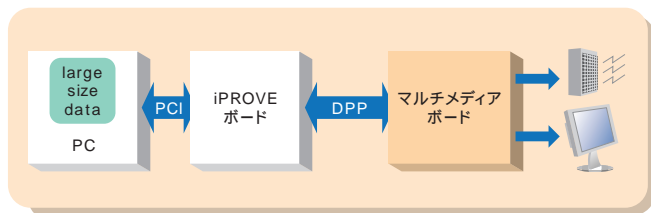
IP 設計開発: 高機能IPのハードウェアプロトタイプとして置き換えられます。

デバイスドライバ開発: 実チップの製造前にハードウェアプロトタイプとして使用できます。

PCIカード開発: ハードウェアプロトタイプボードの開発がPCI I/F上で簡単にできます。

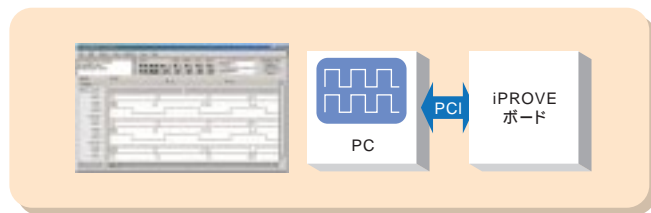
HW/SWの協調検証: 実際に使用するソフトウェアモデルを使って、ハードウェアプロトタイプと一緒に協調シミュレーションができます。

Data Pumping Port(DPP)



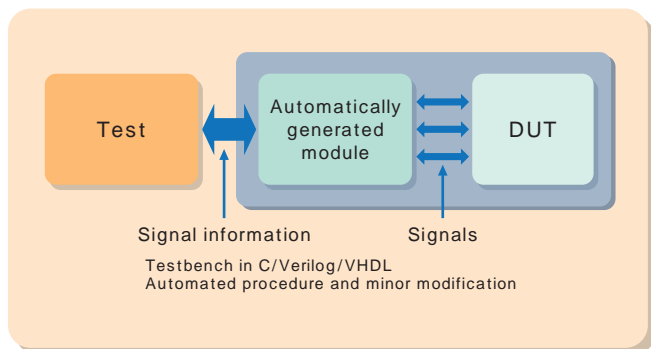
iPROVEボードのDPPをデータ・ポンピング・エンジンのように使用して、広帯域で大量のストリームデータを必要とする開発中のマルチメディアボードなどへ接続することにより、高速にマルチメディア・アプリケーションを検証することもできます。

Built-In Logic Analyzer (BILA)

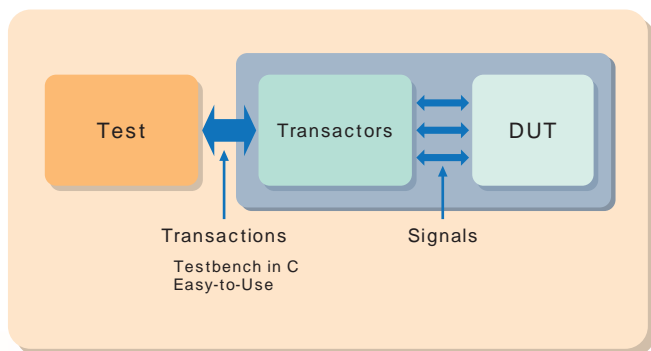


iPROVEは内蔵のロジック・アナライザ機能としてBILAを持っています。結果はVCDフォーマットをサポートする波形表示ツールで表示が可能です。設計者は外部信号ピンだけでなく、内部信号もモニタすることができます。

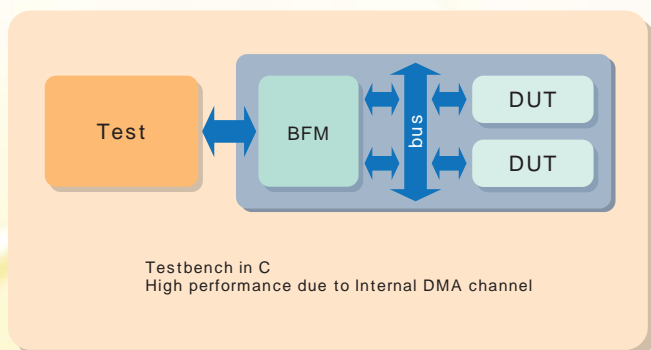
サイクルレベル検証



トランザクションベース検証



抽象バスレベル検証



仕様

ホストPC	
OS	Windows2000およびXP
ホスト・インタフェース	
PCI bus	66MHz/64bit, 33MHz/32bit
適用可能ゲート数(システム構成に依る)	
総計	最大6Mゲート
BILA(Built-In Logic Analyzer)	
モニタ可能なPin数	最大384pins
DPP(Data Pumping Port)	
データ幅	54pins

必要な他社製品:

- ・C/C++プログラム環境
- ・P&Rツール
- ・波形表示ツール
- ・HDLシミュレータ
- ・シンセサイザ

iSAVE-P3X2

Compact C-based behavioral Emulator

概要

iSAVE-P3X2は実ターゲットボードを使用して、ANSI C、C++、SystemCなどで記述されたタイミング情報を持っていない(B-behavioral)モデルの検証を行います。さらに、設計が進むに従い、タイミング情報を含むモデルに置き換えたりして検証することも可能です。

シリコン設計、製造の過程に移る前に設計の機能を検証することができます。今日においてASIC設計の半数以上は機能設計での問題によりトラブルが発生していますが、iSAVE-P3X2を設計工程に使用することにより、ASICの作り直しや製品レビューの遅れに伴う莫大な費用が節約されます。

特徴

- 一般的なC言語記述による設計をサポート
- 強力なデバッグ機能
- PSA:内蔵型のロジックアナライザで信号ピンのモニタが可能
- SVA:ソフトウェア変数のトレースが可能
- 信号ピンとソフトウェア変数が同時時間軸で表示可能
- Gnu Debugger(GDB)ベースのソフトウェア・デバッガ
- 使いやすいGUI
- in-System検証

構成

ターゲットボード上に搭載するASICまたはFPGAの代わりに、iSAVE-P3X2が置き換わって動作します。ASICまたはFPGAの仕様変更があっても容易に実動作で確認することができます。

iSAVE-P3X2は、高速演算処理でターゲットチップの機能をエミュレートするためのCモデルを実行するPE(Processing Engine)と、PE内で演算処理されたソフトウェア変数を物理的な電気信号に置き換え、ターゲットボードとの電気信号のやり取りを行うTIE(Target Interface Engine)で構成されます。

TIEは、ターゲットシステムへの信号の駆動のために使用する

Pin Signal Generator(PSG)ボードと、ロジックアナライザウィンドウで信号のモニタリングに用いたり、他の設計環境とのリンクで用いるPin Signal Acquisition(PSA)ボードの2つのサブシステムボードで構成されています。

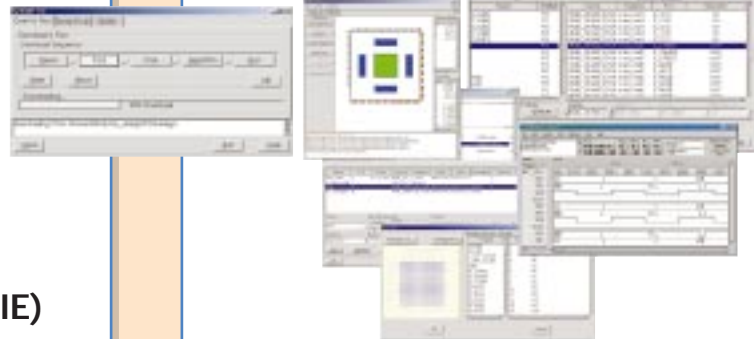
設計で使用されるワークステーションは、PEとシリアル接続されています。iSAVEの設計環境(C設計システムとしてのワークステーション)はベースチップ機能を記述したCコードへの入出力の機能の追加、プロトコル(例:PCI、I2C、SDRAM、URT)の挿入、そして信号ピン属性の追加に使用されます。(iLinker)

iSAVEチップ エミュレータハードウェア

iSAVEソフトウェア開発環境



iLinker

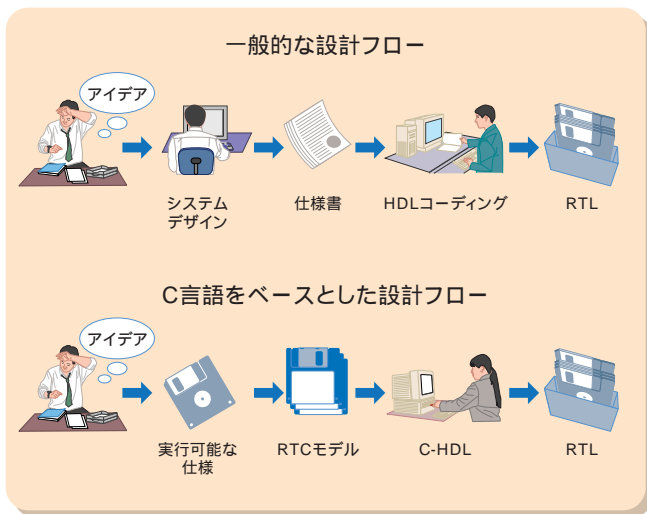


ASICやSoCの設計に内在する問題!

HDLやRTL設計では、シミュレーションやエミュレーションに多くの時間がかかってしまう。

テストベンチは設計サイズに比例して指数的に増大するため、検証精度の高いテストベンチを作成することが非常に困難になってしまう。

それゆえ、今まで以上に設計の初期段階での失敗や、経費の拡大、そして時間を浪費する設計のやり直しが増えています。



ASIC及びSoC設計の解決策!

より効率的な表現方法のC/C++、SystemC、その他のC言語などを使って設計の抽象度を上げる。

徹底的に機能性をテストし、かつ実信号に基づいたテスト・ベクトルを生成する実際の信号を備えた実ターゲットボードをドライブするIO機能性を完備したワーキング・モデルを構築するためにiSAVEを使用する。

仕様

Processing Engine(PE)

内蔵プロセッサ	モバイル用Pentiumプロセッサ
メモリ	64MバイトSDRAM
通信インターフェース	RS232またはUSB

Target Interface Engine(TIE)

利用可能なIOpin数	最大238pin
モニタ可能なIO数	最大96pin
IO動作	3.3V LVTTTL

必要な他社ツール

- ・ロジックシンセサイザ
- ・FPGAマッパ

ターゲット接続





製品開発元:

Dynalith Systems Co., Ltd.
3rd Fl., Unit B
Mirae Asset Venture Tower
996-17 Daechi-dong Kangnam-ku
Seoul 135-280, Korea
Phone: +82-2-556-0020
<http://www.dynalith.com>

本カタログに記載、または参照された製品及びサービスの名称は、各社の商標または登録商標です。

本カタログに掲載されている製品に関するお問い合わせは...

NTT-AT



NTTアドバンステクノロジー株式会社

先端技術事業本部 CADシステム事業部

〒163-0430 東京都新宿区西新宿2-1-1 新宿三井ビル 私書箱221号

TEL.03(5325)0754 Fax.03(5326)7845

E-mail : info@cad.ntt-at.co.jp URL : <http://www-cad.ntt-at.co.jp>