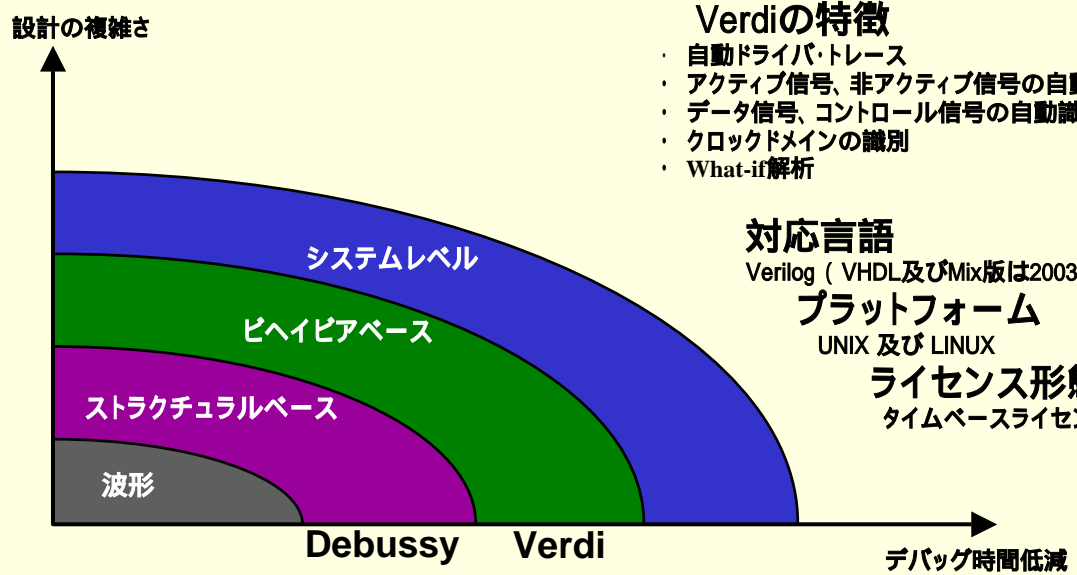


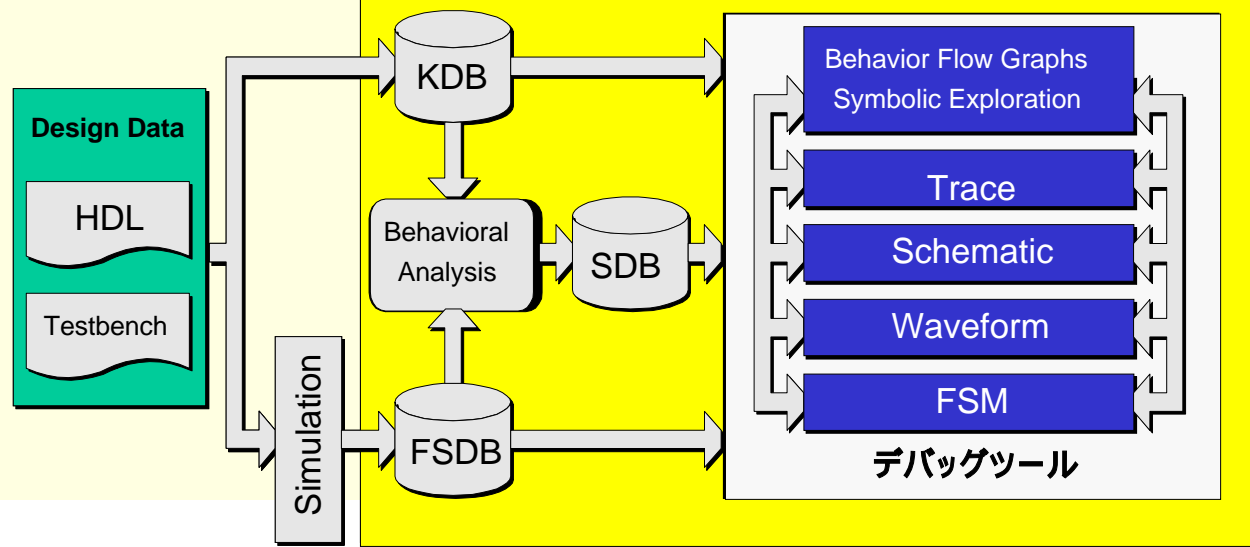


VerdiはHDLのデバッグを支援するツールです。更に大規模化、複雑化するデザインのデバッグに対応すべく、シミュレーションの結果から自動的にドライバのトレースを行いフローグラフとして視覚化します。このフローグラフを用いることで、従来の波形ビューワやソースコード上でドライバを一つ一つトレースするという作業が不要になり、バグの原因の場所の特定、切り分け、理解をさらに容易にし、デバッグサイクルを大幅に短縮します。

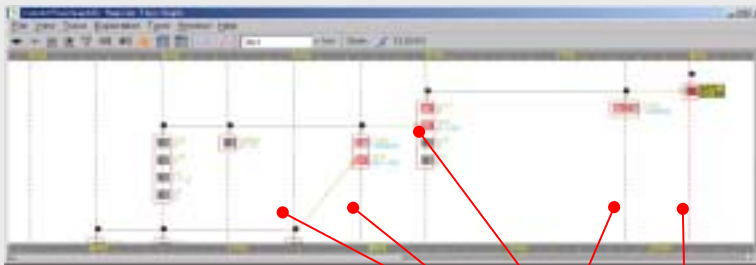


SDB = Symbolic database
KDB = Knowledge database
FSDB = Fast signal database

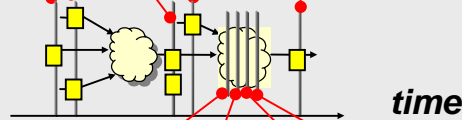
Verdiのアーキテクチャ



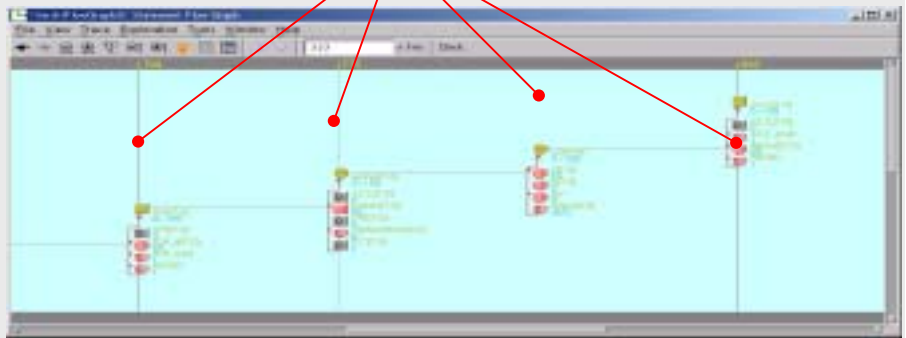
Verdiは、Register Flow Graph と Statement Flow Graph という二つのWindow環境を提供します。双方ともシミュレーションの結果を忠実に再現するものであり、時間軸をさかのぼりながら信号の遷移関係を見せます。着目しているノードnの時刻tの値、ノードnの前段ノード群n-1の時刻t-1の値、およびnとn-1の関係がグラフィカルに表示されます。このチャートをたどりながらユーザは問題のある箇所(ノードm)を類推します。さらにVerdiでは「What if解析」と呼ぶ機能を備えます。これは、変更した入力値によるターゲットレジスタの出力値の推定逆に出力値に対しての入力値の推定をする機能であり、この機能を使用することにより再シミュレーションをすることなく不具合修正後の値を見ることができます。



Register flow graph



Statement flow graph



- ★ Where レジスタACCはなぜ55になるのか？
- ★ What if AddrBufの値を2から3に変更したらどうなるか？
- ★ How ACCの値が04になるような入力値は何か？

