

Debussy の 概 要

理解の加速と確信

理解することによって、確信がもてます。確信は検証（検出とデバッグ）によってもたらされます。DebussyのKnowledge-Based Debuggingシステムは、HDLソースコードをコンパイルして視覚化するとともに検証ツールからの出力データの不具合箇所を視覚化した内容にアノテーションすることにより設計バグの原因の場所の特定、切り離しを自動的に行うことにより、バグの原因をすばやく理解して修正できる統合解析環境を提供しているトップダウン設計デバッグツールです。またVerilog/VHDLのデザインのシンタックス、セマンティックエラーなどを早期に発見するためのチェッカnLintや、GUI上でネットリスト修正を行うnECOなどトータルなデバッグ環境を提供します。

Debussyは下記のモジュールから構成されます。

モジュール名	表示、解析、自動化機能
nTrace	階層、ソースコードトレース
nWave	波形表示と解析
nSchema	ロジックダイアグラムとクロック解析、前提条件としてnTraceが必要
nState	状態遷移図（FSM）、前提条件としてnTraceが必要
nCompare	RTLとゲートの波形比較、2つのFSDBが必要
nLint	HDLルールチェッカ、nTrace（Verilog,VHDL又はMix）に従属
nECO	ネットリストレベルECO、前提条件としてnTrace & nSchemaが必要
nLayout	nECOのオプションでGDSII,LEF/DEF レイアウトビューワ

Debussyの主なアプリケーションは次の通りです。

IP等の馴染みの薄いコードの理解：接続、ドライバ、ロード、ステートマシン

RTLシミュレーション結果のデバッグ：アクティブドライバ、不定値、信号の値と変化

クリティカル・タイミング・パスの切分け調査：クリティカル・パス表示、SDF、最長・最短パス

配置配線後のゲートレベルのECO(エンジニアリング・チェンジ・オーダー)

The image displays a collage of screenshots from the Debussy software interface, illustrating various debugging and analysis tools. The tools are labeled with yellow boxes:






- nTrace: Shows a hierarchical tree view of the design.
- nLint: Displays a list of lint errors.
- nState: Shows a state transition diagram (FSM).
- nCompare: Compares two waveforms (FSDB).
- nSchema: Shows a logic diagram.
- nWave: Shows a waveform viewer.
- nECO: Shows a netlist editor.
- nLayout: Shows a layout viewer.




A central circular logo with 'FSDB' and arrows indicates the flow of data between these tools.

特 徴

- Verilog / VHDL デバッグ・リーダー
1997年の発売以来、世界中で10,000セット以上使用、モジュール数ではx 3 以上
- 現状の設計手法やフローに影響せず、即座に設計プロジェクトに採用・使用可
- トータルデバッグシステム
Verilog / VHDL の両言語対応、ピヘイビア・RTL・ゲート対応、全ての検証ツール対応、自動化
- デファクト・スタンダード・デバッグ・ツール
世界中の25社に及ぶ検証ツール・ベンダにOEMまたはハーモニーパートナーとして採用
(例: Axis, Co-Desogm, Denali, Forte, Verplex, Cadence / Quickturn 等)
- オープン・アーキテクチャで全ての検証ツールと統合可能
(例: NC-Verilog / VHDL, VerilogXL, ModelSim-Verilog / VHDL, VCS 等)
- 特定の検証技術及びシミュレーションベンダに依存しないオープンAPI(FSDBを出力可能)
- TCLインターフェース
- プラットフォーム: UNIX (SUN, HP, IBM), Windows (NT, 2000), Linux
- 操作が簡単 (ユーザ・フレンドリ)
- 表示ダイアグラムが見やすい
- デバッグに特化したデータベース化 (KDB, FSDB)とデバッグ作業の自動化
- 視覚化と自動化 (設計動作を解析し、視覚化することでデバッグ作業を自動化)
- ソフトウェアの信頼性が高く稼働率が高い(ユーザの声)
- 日本語マニュアルによるサポート
- ROI効率が高い
- プラットフォームに拘わらず同一価格
- Mix言語対応でも極わずかな差額の価格設定

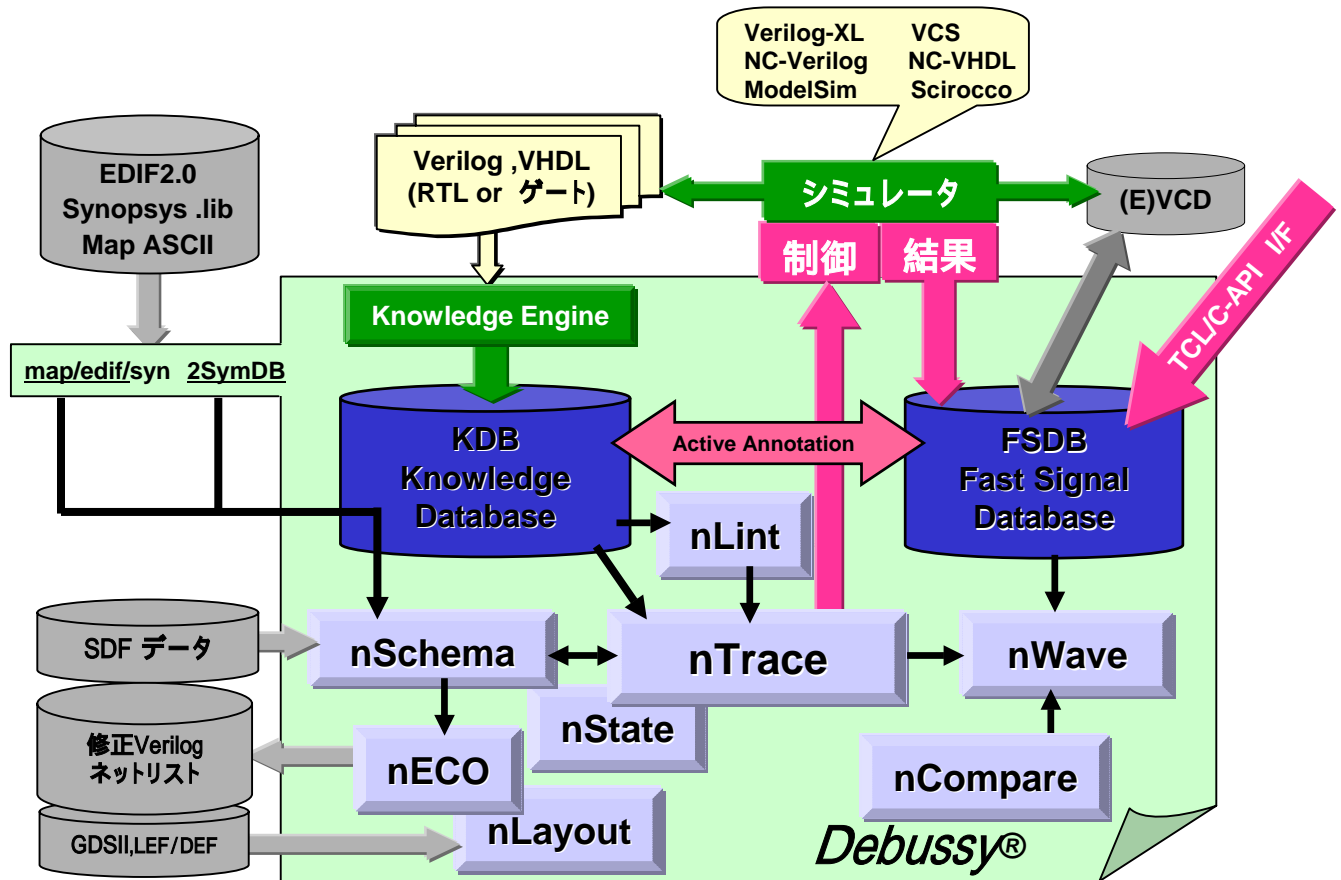
Debussyのデバッグ (OEM,Harmony等) パートナ

	☆ (株)エッチ・ディー・ラボ (hd Lab,Inc.)	☆ Mentor Graphics	
	☆ Aldec	☆ Nassda Corporation	
	☆ Axis Corporation	☆ Prover Technology	
	☆ Cadence Design	☆ Simpod	
	☆ Cadence / Quickturn	☆ Silicon Perspective	
	☆ Celestry Design	☆ Stage 2 Innovations	
	☆ Chrysalis / Avant!	☆ Synopsys	
	☆ Co-Design	☆ SynTest Technologies	
	☆ CoWare	☆ Tharas Systems	
	☆ Denali	☆ Trans EDA	
	☆ Forte Design Systems	☆ Verisity/Surefire	
	☆ Ikos Systems	☆ Verplex Systems	
	☆ Innologic Systems	☆ 0-In Design	

					
---	---	---	---	--	---

Debussyのテクノロジーとアーキテクチャ

設計の構造と接続を理解させるKnowledge Databaseを生成するために、シミュレーションとは独立してDebussyをランすることができます。Debussyは設計工程の中でシミュレータライセンスを使わないので、現有の有効なライセンスへの影響はありません。シミュレーションのラン中に、ビヘイバレベル（信号と状態の変化）はDebussyのFSDB（Fast Signal Data Base）に捕捉されます。Debussyは主要なケイデンス、シノプシス、およびメンターのVerilogおよびVHDLシミュレータと統合されています。



KE(Knowledge Engine) : オリジナルのVerilog/VHDLソースファイルをコンパイルしてKDBを生成して設計をデバッグするのに必要な構造と接続情報を作成

KDB(Knowledge Database) : 視覚化とデバッグの自動化を支援するための設計の構造, 接続情報と動作をストアするNOVAS社DBで、設計とその動作をDebussy上でわかり易く表示

FSDB(Fast Signal Database) : シミュレーションオーバーヘッドとダンプファイルサイズが、VCDに比べ1/10-1/50であり、ピコワのロード時間が高速のNOVAS社DB

MAP ascii file : Novas社が提供するASIC/FPGAシンボルライブラリ情報

Active Annotation™ : 検証結果を、波形のみならず、ソースコード、回路図及び状態遷移図で直接観察

シミュレータ・サポート

- ☆ ModelSim VHDL
- ☆ ModelSim Verilog
- ☆ VCS
- ☆ Verilog-XL
- ☆ NC-Verilog
- ☆ NC-VHDL
- ☆ Leapfrog
- ☆ Scirocco

ライブラリの例

- ☆ **国内ASICベンダ**
- ☆ Artisan-TSMC
- ☆ Altera
- ☆ Chip Express
- ☆ Compass
- ☆ IBM
- ☆ LSI Logic
- ☆ QuickLogic
- ☆ SAMSUNG
- ☆ TI
- ☆ TSMC
- ☆ VLSI
- ☆ Xilinx

プラットフォーム

- ☆ Sun Solaris2.5**以上**
- ☆ HP HPUX 10/11
- ☆ IBM RS6000 AIX4.3
- ☆ WindowsNT 4.0
- ☆ Windows 2000
- ☆ Linux Red Hat6.2**以上**

ノバフロー社から国内ASICベンダのライブラリ提供先の紹介ができます。

詳細なサポート状況は、各社のサポート窓口にお問合せ下さい。

あいうえお順、敬称略

日本電気(株)：CMOS-9HD、CMOS-10、CMOS-N5、CB10VX、CB11、CB12L/M、CB130(開発中)

(株)日立製作所：HG73C、HG76C、HG77C(開発中)

三菱電機(株)：ライブラリの詳細は、サポート窓口にお問合わせください。

nTrace : 階層及びソースコード表示・解析ビューワ

The screenshot displays the nTrace software interface. On the left, a hierarchical tree view shows the system architecture, with a yellow box labeled "階層ブラウザ" (Hierarchy Browser) pointing to it. The main area shows source code with a yellow box labeled "nTrace" above it. A yellow box labeled "メッセージ・ウィンドウ" (Message Window) points to the bottom-left pane. In the center, a memory dump window titled "nMemory" shows a table of memory addresses and values, with a red box highlighting a row and a yellow box labeled "内容の変化をハイライト表示" (Highlight content changes) pointing to it. On the right, a "ListX" window shows a list of signals with a yellow box labeled "ListX" above it. A red circle highlights the "Time" field in the nMemory window, with a yellow box labeled "nMemory" above it.

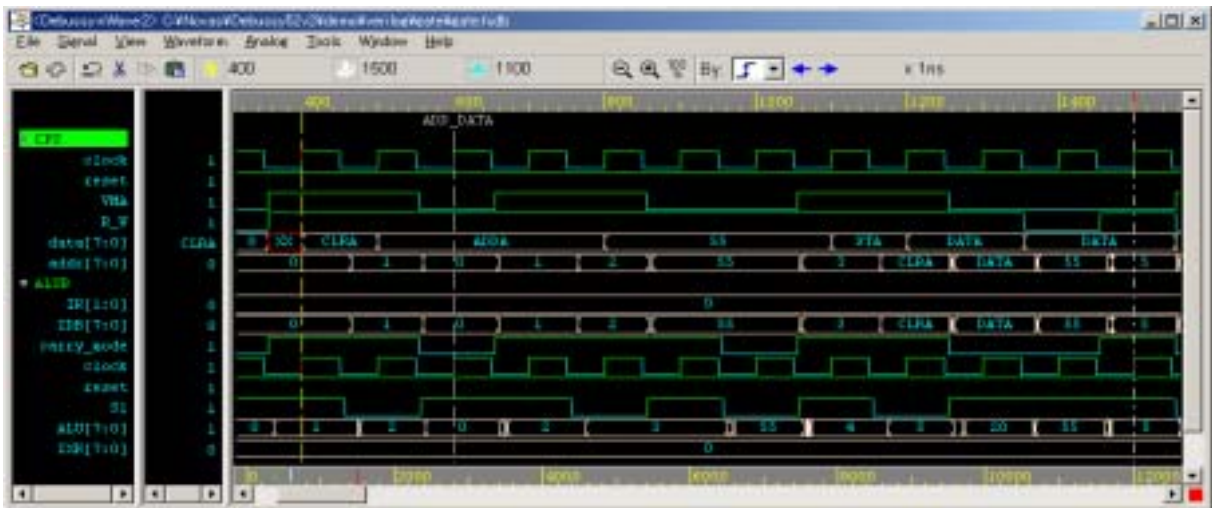
Address	Value	Value	Value	Value	Value	Value
0	04	04	05	08	20	0
8	08	20	01	48	20	0
16	20	28	22	04	34	0
24	14	0a	5c	30	00	0
30	00	00	00	00	00	0
38	00	00	00	00	00	0
46	48	28	58	30	00	0
54	00	00	00	00	00	0
62	00	00	00	00	00	0

- シミュレーション結果の不定値Xを表示
- ・信号名とバス名
- ・リストX
- ・信号のタイプ

nMemory(二次元メモリの表示)

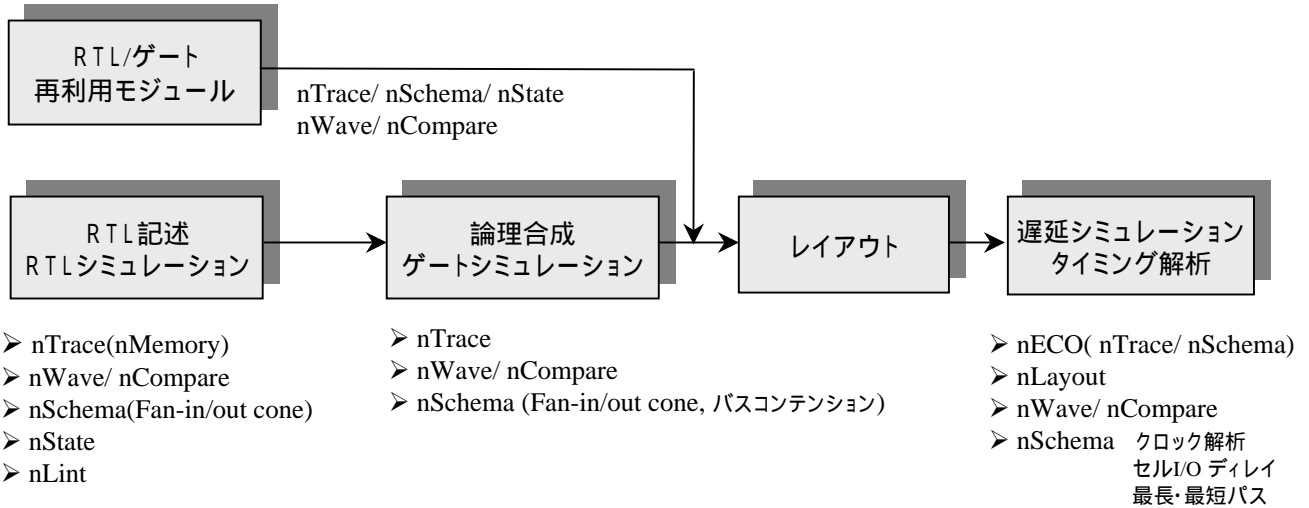
nWave : 波形表示、解析ビューワ

ソースコードとロジックダイアグラムビューワを完全統合しています。フレキシブル信号管理、ユーザがカスタム化できるグリッチ検出、ビルトインロジックアナライザも提供します。



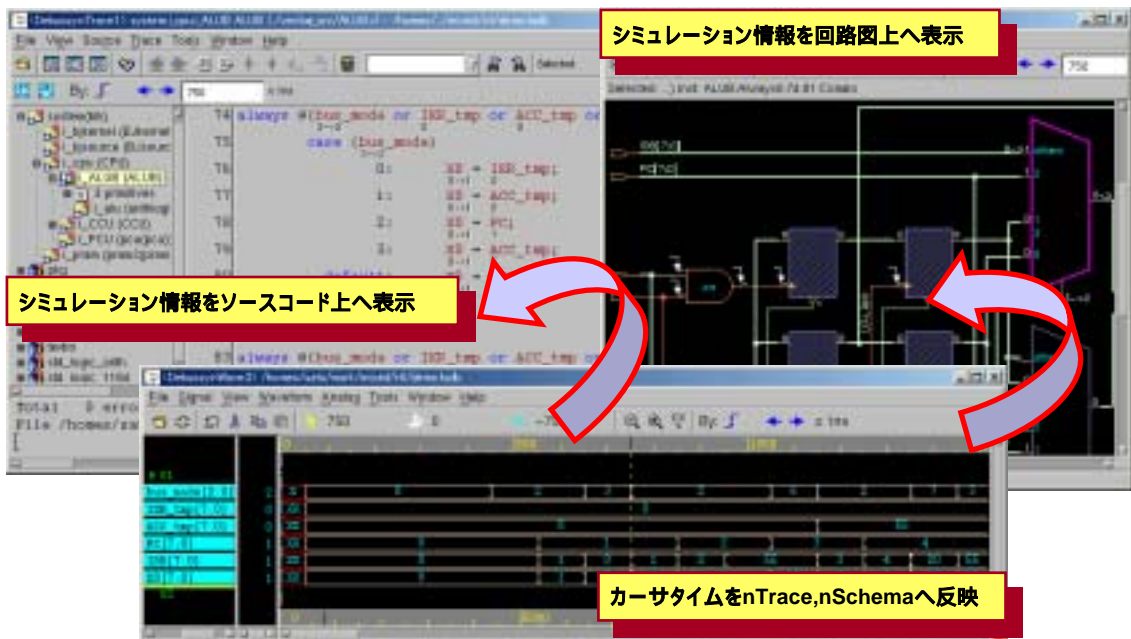
Debussyモジュールのアプリケーション例と視覚表示、解析及び自動化の技術

アプリケーションの例 : フロントエンドからバックエンドまで



アクティブ・アノテーション&アクティブ・トレース機能

シミュレーションからの信号値をFan-in/out Coneの上にアノテートしたり、時間のステップと共に値の変化を監視（アクティブ・アノテーション機能）できます。どのドライバが現在ドライブしているのか（アクティブ・トレース機能）を観ることができます。このトレースは時間軸の前方及び後方に動作機能し、シミュレーションの間またはシミュレーションが完了したあとに、インタラクティブに動作できます。



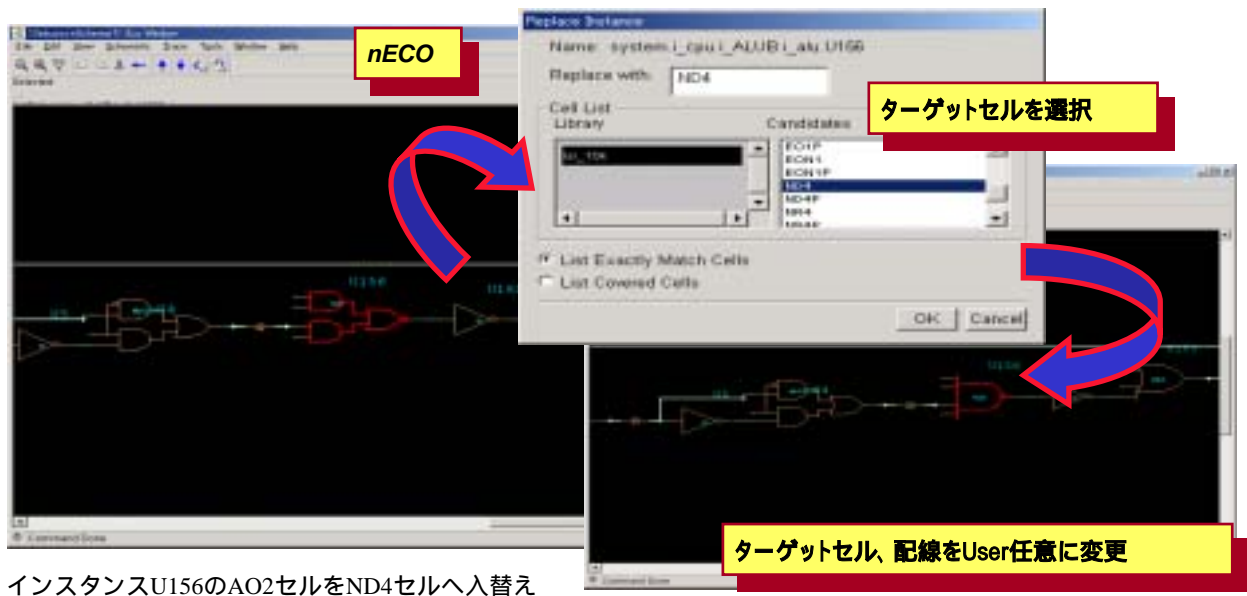
nECO : ネットリストレベルECO&タイミング・クロージャ

nECOはゲートレベルのECO(エンジニアリング・チェンジ・オーダー)によって生じる作業を大幅に削減し、より早く、より正確に編集でき、その結果、連続的に早期にデザインをリリースすることが可能となります。また、レイアウトビューワとの統合環境の提供も可能です。

ECOの変更をする場合、Debussyのユーザは、セルレベルのスキマティックエディタ上でGUIベースでの処理を行います。例えば、クリックで、ネットを削除したり、新しい接続を生成することができます。nECOの出力は、グラフィカルに行われた変更を反映した新しいゲートレベルのネットリストです。ネットリストの変更とは別に変更履歴などのレポートは別途残す必要がありますが、nECOは変更された内容を示すレポートも自動的に生成します。

またレイアウトビューワとのリンクにより、配置配線後のネットリストを修正する際に、レイアウト情報を確認しながらの作業が可能となっています。

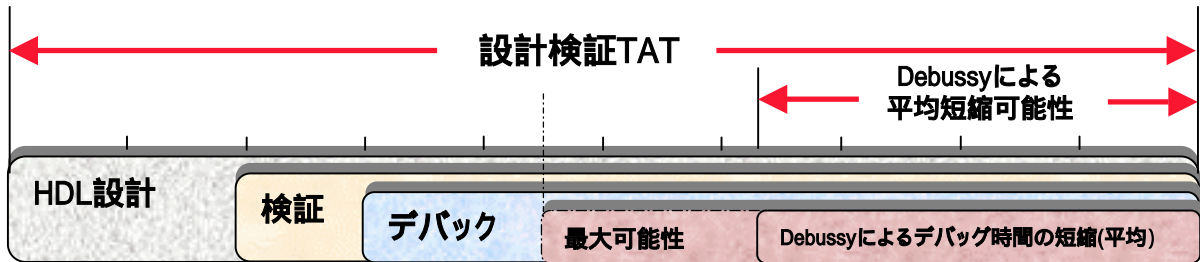
- ノン・フリーズ・シリコンモード : デザインを無制限に修正できます。
- フリーズ・シリコン・モード : 新しいインスタンスとしてスペアセルのみの追加又は、削除インスタンスのスペアセル利用化



デバッグの特質とDebussyの効果 & コストダウン

SOC開発とデバッグ (デバッグ効率 = 開発効率)

テーブルアウトのタイミングを維持できなかった為に、チップのプロジェクト中断、キャンセル、お蔵入り、マーケットシェアと初期市場参入利益の損失になるケースには枚挙にいとまがありません。Debussyは、計画的テーブルアウトの為に標準ツールです。



確信：ECOネットリスト準備効率の大幅改善

時として、設計工程の最終段階で発見されるバグは論理合成まで戻らず、ゲート・レベルで修正されます。現在、ゲート又は接続を変更する場合、エンジニアが膨大なネットリストの中から、対象のゲートやネットを見つけ出し、変更作業を行います。しかしその際、対象外の場所を変更してしまったり、タイプミスを買ってしまった等、多くの時間を消費しています。nECOではスキマティック・ビューワ上で変更が必要な論理を切分けし、高い確信をもって短時間の内に作業を完了できるので、エンジニアの拒否反応、タイム・ツウ・マーケット、ポスト・シミュレーションの可能性等において多大な時間・コスト・リスクの削減が可能となります。



検証 = 検出 + デバッグ

検証 (Verification) とは欠陥の発見と修正です。

検出 (Detection) とは欠陥の有るかどうかを示すことです。殆どは夜間ツールによるバッチ処理

デバッグ (Debug) とは欠陥の原因の場所の特定、切り離し、理解・確信そして修正です。

エンジニアはデバッグに25~50%の時間を費やすと言われており、一人のエンジニアの一年間のデバッグコストは300万円~1,250万円と言われています。

Debussyは理解の加速と確信の改善によりデバッグ時間を半分に削減します。

Debussyは、エンジニアの時間集約的で直接的なデバッグ作業を自動化します。

あるエンジニアはバグを数時間で検出できるが、ある人は何日も費やすことがあります。

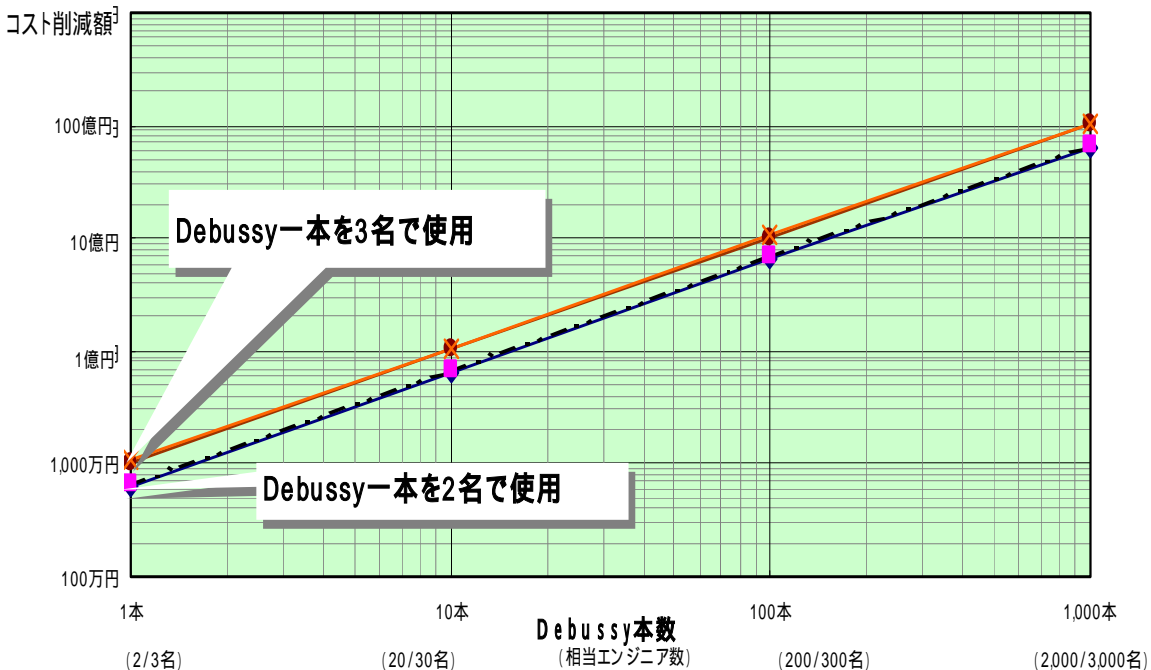
設計チームの分散化、設計の再利用、IP統合はバグの原因の理解を益々困難にしています。

設計の複雑さは増すばかりで、デザインメソドロジの発展は益々デバッグ時間を増大しています。

デバッグコスト = エンジニア・コスト + HWコスト + SWコスト + 機会コスト

- エンジニア・コスト : 1,250万ないし2,500万円 (一人のエンジニアの一年間当り)
- HWコスト : プラットフォームの負荷
- SWコスト : 検証ツールの負荷
- 機会コスト : エンジニアがデバッグに時間を費やさなければ何をしようか?
 - (1) 新しいチップ機能の設計 : 製品への付加価値を増大
 - (2) 検証テスト機能の記述 : カバレッジの向上によるリスピンの低減
 - (3) チップの開発促進 : 早期市場参入利益の増大
 - (4) 残業が減り帰宅時間が早まる : 生活改善

Debussyによるデバッグの平均年間コスト・ダウン・スケール・メリット



Debussyユーザの声

Press Release : San Jose, Calif., USA, October 24, 2000 – Novas

■ “NEC Micro Systems Standardizes on Novas’ Debugging System”の和訳

NECマイクロシステム株式会社 (旧、NECアイシーマイコンシステム株式会社)
設計システム開発部 部長 宗 雅俊 様

NECマイクロシステムはNovas社のDebussyデバッグ・システムを標準化
- Debussyをデジタル及びミックス信号設計のデバックに選択 -

「弊社は、デバックに対する多くの選択肢を評価し、Debussyシステムを選択しました。なぜならば、弊社の複雑な設計でのバグの理由を理解するのに、最も早い方法であると、判断したからです。Debussyは弊社のシミュレータと動作して、設計を観察する多くの方法を提供してくれるので、弊社のエンジニアは、検証中に隠れていた問題点をどのように修正すればよいのかを、容易に発見することができます。」

Press Release: San Jose, Calif., USA, October 29, 2001.

■ “NOVAS’ DEBUSSY TO DEBUG HITACHI’S SYSTEM LSI DESIGNS”の和訳

株式会社日立製作所 半導体グループ 設計技術本部
設計技術開発部部長 岡村 芳雄 様

日立 半導体グループがシステムLSI設計のデバッグツールとしてNOVAS社のDebussyを採用
-検証効率を向上するデバッグシステム-

「当社は、これまで多数のLSI設計に Debussy を使用し、検証効率の向上を図ってきました。私達は、この Debussyを弊社のシステムLSI設計環境であるSOCplannerに統合する予定です。私達は、顧客の皆様が最終製品のダウンサイジングとパフォーマンスの向上が出来るよう、高度な最先端のシステムLSIを開発し続けると同時に、デバイスに欠陥がないことを保証しなければなりません。Debussy は、設計者が、欠陥の場所を素早く特定して分離し、予期しない誤動作の原因を理解することを容易にします。これは市場において私達が成功するうえで大きな一助となります。」

Press Release: San Jose, Calif., USA, March 4th, 2002.

■ “MITSUBISHI HAS DEPLOYED NOVAS DEBUSSY DEBUG SYSTEM
AS ITS STANDARD CIRCUIT DEBUG TOOL FOR SYSTEM LSI DEVELOPMENT”の和訳

三菱電機株式会社 システムLSI事業統括部 EDA推進プロジェクトG
フロントエンドG グループマネージャー 林 重一 様

三菱電機のシステムLSI事業統括部はNovas社のDebussyデバッグ・システムを
システムLSI開発用の標準回路デバッグ・ツールとして展開
- Debussyは従来のツールと比べて40%のデバッグ時間短縮効果-

「弊社では、システムLSI開発時の回路デバッグツールとして、2001年よりDebussyの適用を開始しました。Debussyはスケマティックベースの非常に優れたデバッグ機能を有しており、既に多数の通信機器、画像及び携帯電話用のシステムLSIの回路デバッグにおいて、従来使用してきたデバッグツールと比べて平均40%のデバッグ時間短縮効果を上げています。今後、弊社ではDebussyをシステムLSI開発における回路デバッグの標準ツールとして適用推進していく予定です。」

Debussyユーザの声

Press Release: San Jose, Calif., USA, November 27, 2002.

■ “SANYO SEMICONDUCTOR COMPANY STANDARDIZES ON NOVAS DEBUG SOFTWARE WITH MULTI-YEAR AGREEMENT”の和訳

三洋電機株式会社 セミコンダクターカンパニー

システムLSI設計事業部 第二設計技術部 部長 村脇 賢一 様、 主任技術員 山村 和弥 様

-三洋電機セミコンダクターカンパニーは

デジタル民生機器向けLSIのデバッグで最大50%の時間短縮を実現-

「弊社は、以前よりNovas社のデバッグシステム”Debussy”をデジタル民生機器向けのシステムLSI開発時に、特に難易度の高い回路デバッグに限定的に使用してきました。これらのデバッグ作業で従来のデバッグツールに比べ最大50%の時間短縮効果を上げている事が実証されましたので更に広くその効果を展開する為、システムLSI設計事業部の標準デバッグシステムとして前面採用する事に致しました。」

Press Release: San Jose, Calif., USA, November 27, 2002.

■ “IP FLEX ACCELERATES DEVELOPMENT OF RE-CONFIGURABLE PROCESSOR CHIP WITH THE NOVAS DEBUG SYSTEMS”の和訳

アイピーフレックス株式会社

代表取締役社長 CEO 中井 純 様

-アイピーフレックス株式会社はクリティカルパスの解析で70%近くの時間短縮効果を実現-

「私達は、Novas社のDebussyを使用する事で、2002年5月に最初の日本発・世界初Software to Siliconを実現した再コンフィグレーション可能なDAP/DNA-HPチップをテープアウトする事が出来ました。又、Novas社のナレッジベースのデバッグシステムのおかげで、当社のエンジニアは容易にターゲットの回路を理解し、他のどのツールよりも短時間でデバッグ作業を終えることが出来ました。」

取締役副社長 CTO 佐藤 友美 様

「RTL及びGateレベルのデバッグ時間を短縮する事は、当社のような限られた人的リソースでより短期間で製品開発を行わなければならない会社にとって、最も重要な事です。私達は、Novas社のDebussy、Verdi、グラフィカルにECOを行うnECO、デザインルールチェッカーのnLintを複合的に使用する事で、トータルな設計フローの中で、更に検証作業やドキュメンテーション作業の大幅な効率化が実現できると期待しています。」

2001年7月よりDebussyの使用を開始したアイピーフレックス(株)は、RTL及びGateレベルのデバッグ作業時間を平均で50%短縮。特にクリティカルパスの解析では以前の約3分の1の時間まで検証時間を短縮し70%近い時間短縮効果が得られたと、Debussyを使用した設計者はコメントしています。