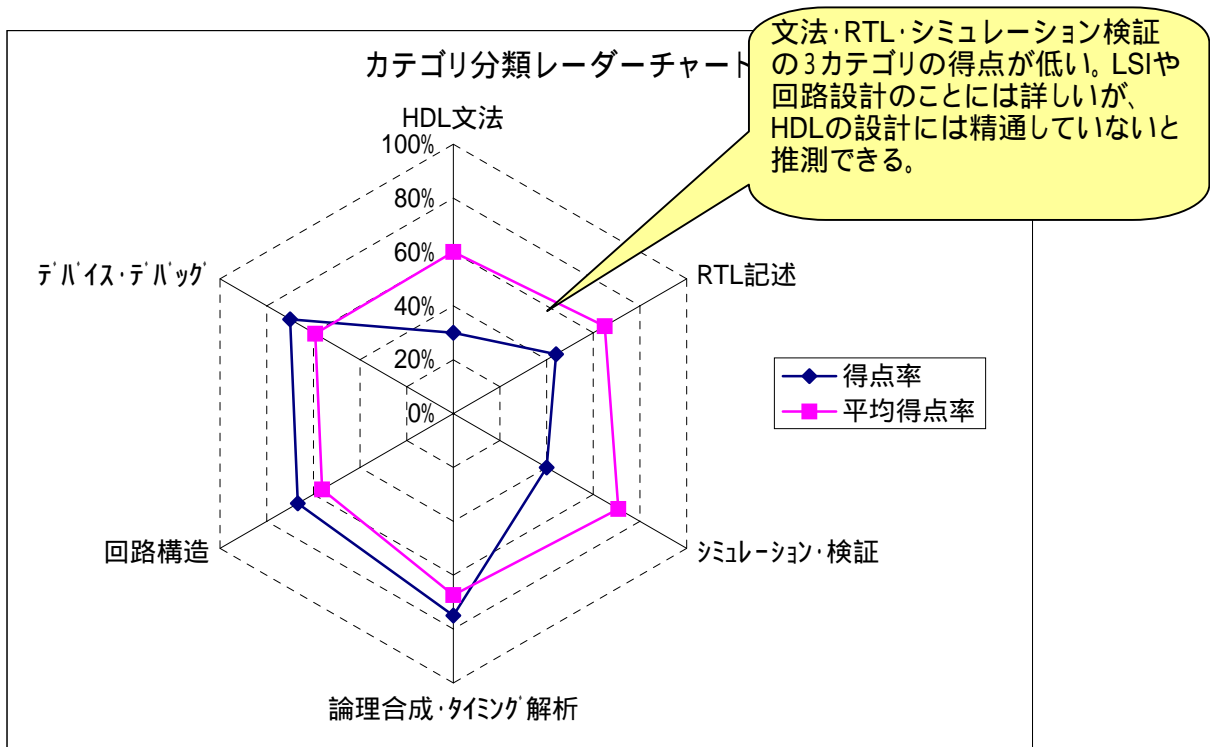


# ESA分析シート

No. 1  
 従業員番号 0675537  
 氏名 小川 直哉  
 事業部 SOC事業部  
 部・課 ASIC開発部 IP開発課  
 級 SOC設計者1級  
 会場 東京

アンケート  
 E システム設計・仕様設計  
 E RTL記述・コーディング(Verilog-HDLのみ)  
 D 機能検証・シミュレーション(Verilog-HDLのみ)  
 E 論理合成・タイミング解析  
 A 自動レイアウト(配置配線 及び CTS等)  
  
 A.未経験  
 B.1年未満  
 C.1年以上 3年未満  
 D.3年以上 5年未満  
 E.5年以上

カテゴリ	配点	選択対象		全体	
		得点	得点率	平均得点	平均得点率
HDL文法	10	3.0	30%	6.0	60%
RTL記述	25	11.0	44%	16.2	65%
シミュレーション・検証	20	8.0	40%	14.1	71%
論理合成・タイミング解析	20	15.0	75%	13.5	67%
回路構造	15	10.0	67%	8.4	56%
デバイス・デバッグ	10	7.0	70%	5.9	59%
計	100	54.0	---	64.2	---

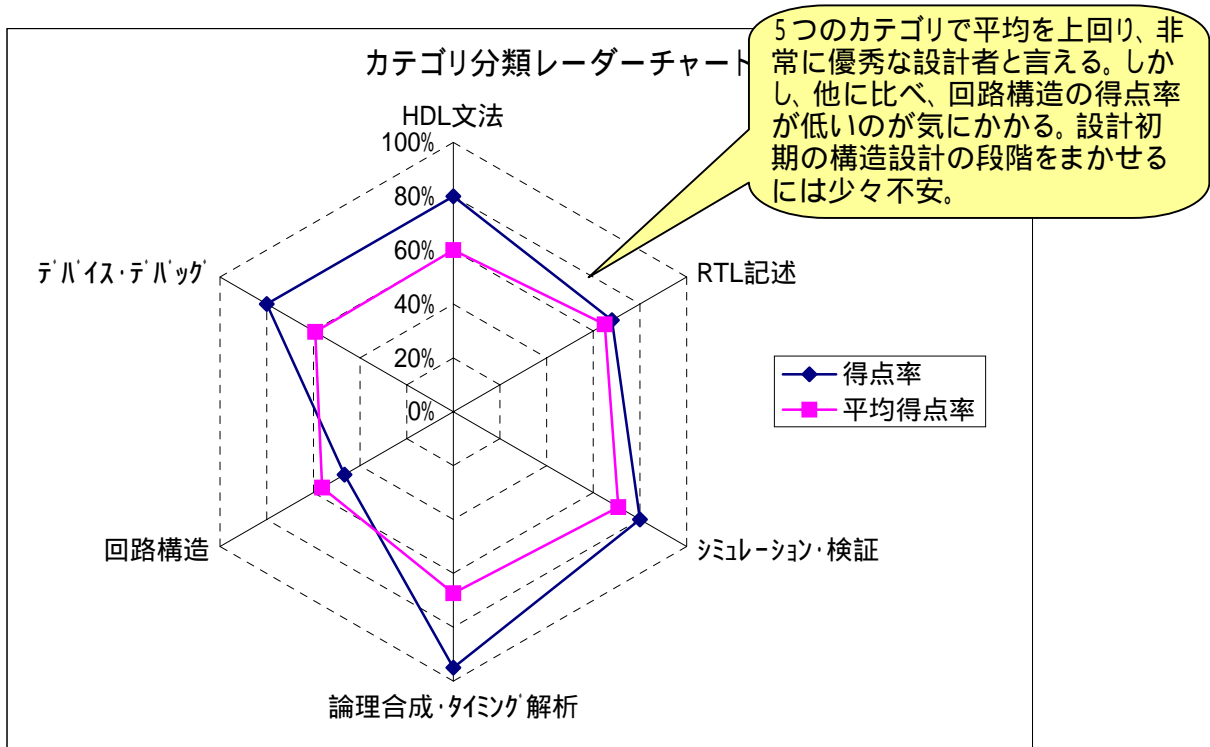


# ESA分析シート

No. 2  
 従業員番号 7826990  
 氏名 清原 和弘  
 事業部 SOC事業部  
 部・課 ASIC開発部 IP開発課  
 級 SOC設計者1級  
 会場 東京

アンケート  
 E システム設計・仕様設計  
 C RTL記述・コーディング(Verilog-HDLのみ)  
 C 機能検証・シミュレーション(Verilog-HDLのみ)  
 E 論理合成・タイミング解析  
 A 自動レイアウト(配置配線 及び CTS等)  
  
 A.未経験  
 B.1年未満  
 C.1年以上 3年未満  
 D.3年以上 5年未満  
 E.5年以上

カテゴリ	配点	選択対象		全体	
		得点	得点率	平均得点	平均得点率
HDL文法	10	8.0	80%	6.0	60%
RTL記述	25	17.0	68%	16.2	65%
シミュレーション・検証	20	16.0	80%	14.1	71%
論理合成・タイミング解析	20	19.0	95%	13.5	67%
回路構造	15	7.0	47%	8.4	56%
デバイス・デバッグ	10	8.0	80%	5.9	59%
計	100	75.0	---	64.2	---



# ESA分析シート

No. 10  
 従業員番号 7030980  
 氏名 山田 雄司  
 事業部 SOC事業部  
 部・課 通信事業部 第1S  
 級 SOC設計者1級  
 会場 東京

## アンケート

D システム設計・仕様設計  
 E RTL記述・コーディング(Verilog-HDLのみ)  
 E 機能検証・シミュレーション(Verilog-HDLのみ)  
 E 論理合成・タイミング解析  
 A 自動レイアウト(配置配線 及び CTS等)

A. 未経験  
 B. 1年未満  
 C. 1年以上 3年未満  
 D. 3年以上 5年未満  
 E. 5年以上

カテゴリ	配点	選択対象		全体	
		得点	得点率	平均得点	平均得点率
HDL文法	10	5.0	50%	6.0	60%
RTL記述	25	16.0	64%	16.2	65%
シミュレーション・検証	20	15.0	75%	14.1	71%
論理合成・タイミング解析	20	13.0	65%	13.5	67%
回路構造	15	4.0	27%	8.4	56%
デバイス・デバッグ	10	3.0	30%	5.9	59%
計	100	56.0	---	64.2	---

