



## 概要

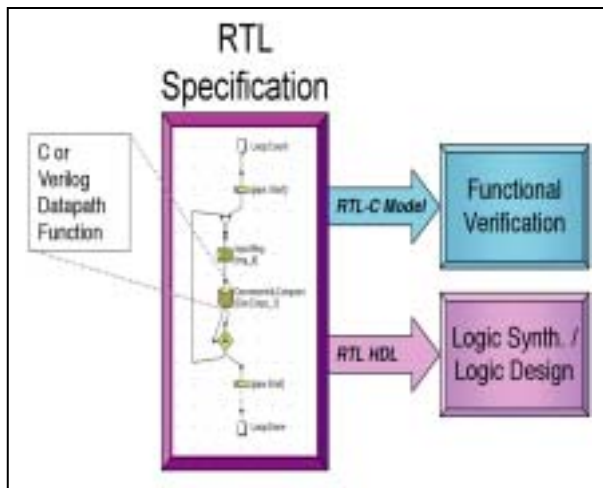
ArchGen™は、生産性の高いRTL仕様のキャプチャやデザインを実装する製品であり、CPUやコプロセッサの仕様など、制御優位の仕様を作成、管理、最適化するために要する時間を大幅に削減します。イベント・フローのグラフでRTL仕様のタイミングと同時性をモデリングするために、グラフィカルと言語を使用します。同時性やパフォーマンスについてのシミュレーション統計がグラフィカルに表示されるため、リソース共有、パイプライン、RTLブロックのパーティションなどについて最適な仕様を容易に決定することができ、製品全体のパフォーマンスをさらに向上することができます。また、ArchGenは、高速かつ高精度なファンクション検証のためのRTL-C(クロック精度を持つC)モデルと、市販の論理合成ツールと完全に互換性があるHDLによるRTLデザインを自動的に合成します。

## 主なメリット

グラフィックと言語の混合(C or RTL)によりCPUやコプロセッサのRTL仕様を取り込みます  
 RTL仕様の変更に容易に適応でき、検証や設計フローの繰り返しを効果的に行うことが可能  
 RTLデザインのトレードオフを最適化しつつ、RTL仕様の機能とパフォーマンスを検証  
 デザインのファンクション・コンポーネントにHDLを継続して使用可能  
 機能検証の段階までのRTLでの遅延情報を設定可能  
 RTLデザインへの変換を自動化し、全体的な品質を向上しつつRTLデザイン・クロージャを加速  
 デザイン全体の生産性を2倍向上  
 シングル・ソースから、HDLとクロック精度の高いRTL-Cシミュレーション・モデルの両方で  
 RTLデザインを自動的に合成することが可能

## 同期性をグラフィカル表示

ArchGenのグラフィカルな階層モデリングとシミュレーション環境を利用することで、同期性を表示し、パイプライン化されたデザインのストールを直接監視することができます。ArchGenで既存のモデルを接続しシステム・モデル全体を作成することができるため、システム・コンポーネント間の複雑な相互作用について簡易検証を行うことが可能です。ArchGenでは、階層のすべてのレベルを表示することができ、任意のレベルでのイベント・トレースを表示したり、またデザイン内の全コンポーネント間の同期性を監視することができます。



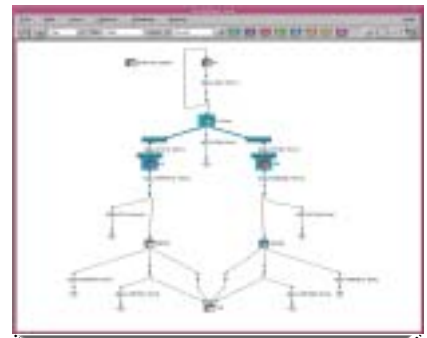
## 機能設計におけるHDLの継続使用

ArchGenでは、1つのRTL仕様モデルでファンクション(データパスなど)のコンポーネントを指定するために、CとHDLの両方のプロセスを使用します。ArchGenを使用する場合、Cのファンクションと論理合成可能なHDLモジュールの両方またはいずれか一方として、データパス・コンポーネントの仕様をインタラクティブに取り込むか、あるいはライブラリから既存のHDLモジュールがCのファンクションを指定することができます。ArchGenを使用してRTL仕様を作成する標準的な場合、まず最初に抽象データ型を使用してCのデータパス・コンポーネント仕様を取り込み、ArchGenのRTL仕様モデルからRTLデザイン出力を合成するため、等価のHDLモジュールに切り替えます。ArchGenによるシミュレーションとRTL-C出力を行うために、HDLモジュールとして指定したファンクションはCに自動的に変換されます。RTLデザイン出力の生成中、HDLモジュールのデータパス仕様は、ユーザ記述のHDLソース形式でRTLデザイン出力ファイルに渡されます。



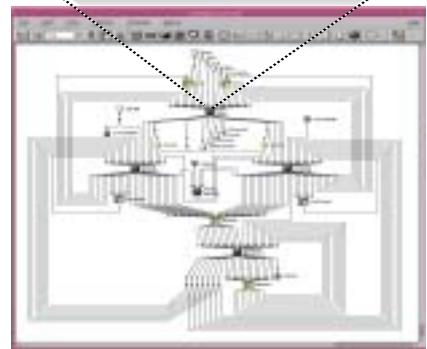
### RTL仕様の検証と最適化

ArchGenではRTL仕様の検証と最適化を行うことができ、記述した仕様によるRTLレベルでの標準的な設計・検証方法に比べ、より高度な製品改良が可能になります。ArchGenにはArchGenエディタと統合されたパフォーマンス・シミュレータがあり、グラフのアニメーションを提供します。また、ArchGenはシミュレーション・トレース・ファイルを走査し、並行して実行されるタイムベースのイベント・フロー・アクティビティを表示します。イベントまたはサイクル単位でのアニメーション再生や、グラフ機能でのブレイクポイントの設定、またタイミングにあわせてアニメーションの再生や逆再生を行うことが可能です。また、標準的な波形ビューアでトレース・ファイルを波形表示することもできます。パイプラインの各段階のストール数やハードウェア・リソース利用率表などのパフォーマンス統計により、バッファ・サイズ、リソース割り当て、パイプライン、ハードウェア設計のパーティションといったデザインについて、最適な決定を行うことができます。



### 遅延情報のパーティション処理

ArchGenでは、RTLのブロックのパーティションを行うことで個々の持つ遅延情報を確保し、それによりRTLデザイン仕様の機能やパフォーマンスに集中することができます。高度に改良されたRTL仕様では、構造のデザイン詳細を編集し直す必要はありませんが、柔軟性の高いArchGenのRTL仕様モデルを使用すると、より簡単に編集し直すことができます。ArchGenのパーティションを使用することで、生成されるFSM (Finite State Machine: 有限ステート・マシン) のサイズとパーティション・インタフェースの複雑さの両方を管理することができ、またこれらに関する決定を、経験による推測ではなく監視可能なファンクション・モデルの観点から検証することが可能です。



### シングル・モデル・ソース

RTL仕様の機能とパフォーマンスについて検証を完了すると、ArchGenを使用して、イベントフロー・グラフとデータパス・コンポーネントのHDL仕様からRTL-CモデルとRTLデザインの両方を自動的に合成することができ、これによりデザインの生産性が大幅に向上します。こうしたシングル・ソース機能によって、ArchGenはデザインのすべての表示モデル間で、構造、ファンクション、およびタイミングの一貫性を常に維持します。ArchGenで生成される、手動でコーディングしたRTLデザインや手動で変更したRTLデザインを検証するために、RTL-Cモデルを参照モデルとして使用することができます。

### RTL-C参照モデルによる高精度な早期検証

RTL-C参照モデルを使用すると、仕様の早期検証を高速に行うことができ、また組み込みソフトウェアの並行開発を可能にします。RTL-C参照モデルはCテストベンチでスタンドアロンとして使用したり、完全な組み込みシステム・シミュレーションとしてほかのRTL-CモデルやC/C++モデルと統合することができます。このようなシステム・シミュレーションを使用すると、組み込みソフトウェアの機能とパフォーマンスを検証することができます。

### 生産性の大幅な向上

ソフトウェアの検証や論理合成ステップの最中にRTL仕様を変更する必要がある場合、こうした変更をオリジナルのグラフィカル・モデルへの部分編集集として容易に管理することができ、更新されたRTL-C参照モデルとRTLデザインは、ArchGenにより合成されます。これにより、RTL-C参照モデルとRTLデザインを持つRTL仕様について一貫性を維持するという困難なタスクが不要になります。

### RTLデザイン出力による論理合成

ArchGenによって合成されたHDLのRTLデザインは論理合成可能であり、Synopsys社のDesign CompilerやCadence社のBuildGatesといった、市販の論理合成ツールへの入力として使用することができます。

### プラットフォーム

ArchGenは、Solarisオペレーティング・システムのプラットフォームで使用できます。RTL-Cモデルは、標準のCコンパイラおよびリンクをサポートしている、32ビットWindows/NT/2000、Red Hat®-Linux、そしてSolaris UNIXプラットフォームで実行できます。

問い合わせ先:



本 社: 〒170-0004 東京都豊島区北大塚1丁目13番4号 日本生命大塚ビル  
TEL: 03 (3576) 5351(代) FAX: 03 (3576) 1772  
大 阪: 〒564-0052 大阪府吹田市広芝町4番34号 江坂第一ビル  
テクニカルセンター TEL: 06 (6338) 3121 FAX: 06 (6338) 1015  
名古屋: 〒460-0008 愛知県名古屋市中区栄2丁目5番17号 白川ビル東館  
テクニカルセンター TEL: 052 (231) 9980 FAX: 052 (231) 0035  
URL: <http://www.adac.co.jp/> E-mail: [sales@adac.co.jp](mailto:sales@adac.co.jp)



本製品の関連技術で、米国特許(PAT No. 5862361, 6044211)を取得しています。