

T B 0 2 2 9 - 0
V r 4 1 3 1 C P Uモジュール
取り扱い説明書

第一版

株式会社タンバック
〒110-0003
東京都台東区根岸3-1-22
タチバナビル
TEL : 03-5603-2051 (代表)
FAX : 03-5603-2055

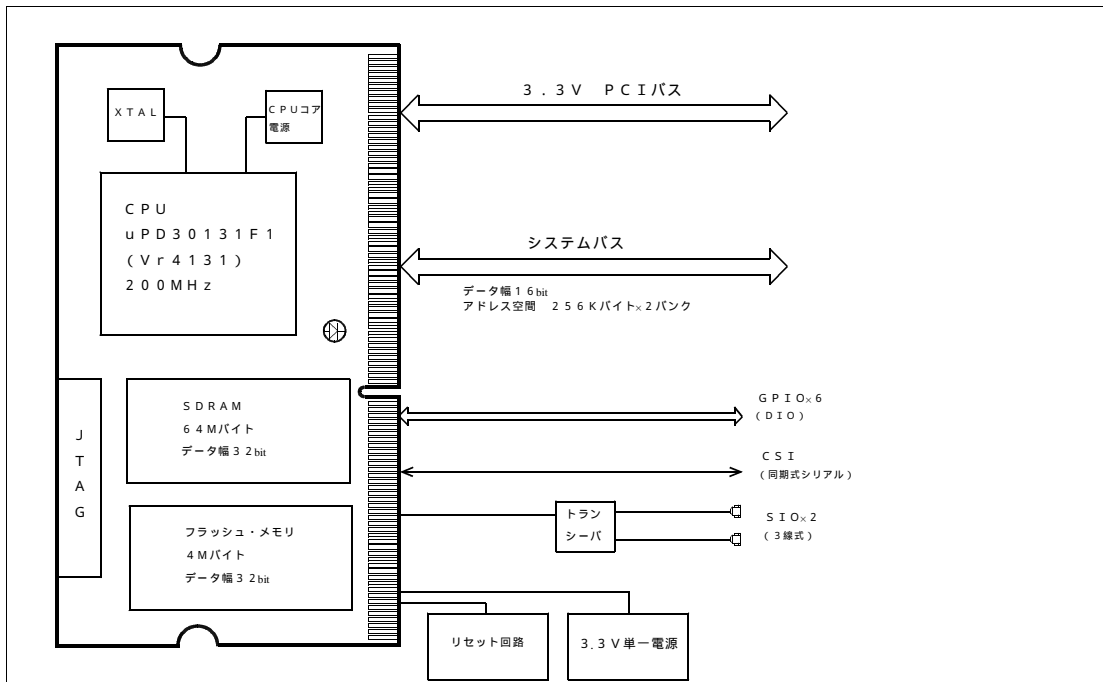
マニュアル更新経緯

発行日 1999年12月08日

年 月	版数	Rev	更新概要	Version
2002 5	1	A	一版	1.00

1 概要

1 - 1 ブロック図



TB0229はVr4131CPU、SDRAM、フラッシュ・メモリ、XTAL発振子、及び電圧レギュレータ等を、144pin-S.O.DIMMサイズの基板に実装したCPUモジュールです。

実装の困難なファインピッチ部品を、予め多層基板に組み付けてあるので、基板設計費や基板単価、部品実装費等を低減することができます。

モジュールは、外部回路I/Fとして、PCIバスとシステムバスの2つのバスを使用することができます。

ソフトウェアのデバッグ支援のため、JTAGポートを利用したN-wireによるデバッグをサポートしています。N-wireを使用すると、オンボードでフラッシュ・メモリの書き込みを行うことができます。

なお、TB0229はCPUボードとして、単体で使用することはできません。最小構成でも、外部にいくつかのプルアップ抵抗とリセット回路が必要になります。

1 - 2 特長

- 1、コアクロック200MHzのCPUを使用し、300MIPS以上の計算性能があります。
- 2、6.4MバイトのSDRAM、4Mバイトのフラッシュ・メモリを実装しています。(32ビット幅)
- 3、低消費電力です。冷却ファン等による熱対策を行う必要がありません。
- 4、N-wireインターフェースを使用し、オンボードでフラッシュメモリの書き込みが出来ます。
- 5、小型かつ低背になっています。
- 6、6層の基板を使用し、ノイズに強い面電源パターンを採用しています。
- 7、3.3Vの単電源で使用することができます。

1 - 3 主要部品

各部品は同等品を使用する場合があります。

C P U
μ P D 3 0 1 3 1 F 1

C P U クロック 2 0 0 M H z
コア電圧 1 . 5 V

S D R A M
N T 5 S V 1 6 M 1 6 A T - 7 5 B (N A N Y A) × 2

フラッシュメモリ
2 9 L V 1 6 0 B - 9 0 P F T N (富士通) × 2

1 - 4 オプションボード

T B 0 2 1 7 J T A G デバッグアダプタ
T B 0 2 2 9 に N - w i r e デバッグを接続するための、アダプタです。
J T A G 信号のバッファリングと接続コネクタの変換を行います。

T B 0 2 1 9 評価用ベースボード
T B 0 2 2 9 を評価するためのボードです。
3 スロットの P C I バス、 R S 2 3 2 ポート、 D I O、 8 点 D I P スイッチ、 7 S E G L E D 等が実装されています。

T B 0 2 2 3 簡易 J T A G ツール
T B 0 2 2 9 のフラッシュメモリに、データを書き込むためのツールです。
パソコンのプリンタポートを使用し、 N - w i r e インターフェースを経由してデータの書き込みを行います。

1 - 5 参考文献

T B 0 2 2 9を使用する場合、下記の資料が必要になります。お手元にご用意ください。

- 1 . Vr 4 1 3 1仕様解説書 (N E C)
C P Uの機能に関する詳細が記載されています。
- 2 . アプリケーションノート Vr 4 0 0 0シリーズ プログラミングガイド (N E C)
キャッシュのイニシャル例や、ツールの使用方法等の情報が記載されています。
- 3 . 2 9 L V 1 6 0 データシート (富士通)
フラッシュ・メモリのデータシートです。
フラッシュ・メモリの消去 / 書き込み等に関する記述があります。
- 4 . N T 5 S V 1 6 M 1 6 A T データシート (N A N Y A)
S D R A Mのデータシートです。
S D R A Mアクセスのパラメータ設定に必要なデータが記載されています。
- 5 . M O - 1 9 0ドキュメント (J E D E C)
基板寸法について記載されています。
- 6 . 5 4 1 4 4 - 1 4 4 0データシート (M O L E X)
コネクタのフットパターンに関する記述があります。

2 仕様

2 - 1 機能仕様

SDRAM :	64Mバイト(32bit幅アクセス)
フラッシュメモリ :	4Mバイト(32bit幅アクセス) 書き換え回数 : 100、000回以上
シリアルI/F :	2チャンネル(3線式)
パラレルI/F :	6本(GPIO)
PCIバス :	32bit、3.3V。3スロットサポート。
システムバス :	アドレス空間 256Kバイト×2バンク データ幅 16bit
DMA :	CPU内蔵 1チャンネル(I/O空間toRAM間のみ)
タイマ :	CPU内蔵 RTC、TICKER×3
LED :	LEDUにより点灯、消灯制御
CSI :	1チャンネル
JTAG :	別売のアダプターを介し、N-wireによるデバッグをサポート

CPUに含まれる機能の内、サポートされないもの

FIR :	FIR機能はサポートしません。
GPIOの一部 :	GPIOは6本のみサポートしています。
システムバス :	システムバスの空間に制限があります。 256Kバイト×2バンクのアドレスになっています。
SIOの制御線 :	シリアル通信の制御線はサポートしていません。 (SIU、DSIU共)

クロック系

PClock	199.1MHz(CPUコアクロック)
VTClock	39.8MHz~99.5MHz(SDRAMクロック)
PCICLK(VTClock = 99.5MHz)	24.9MHz、33.2MHz
PCICLK(VTClock = 66.4MHz)	16.6MHz、22.1MHz、33.2MHz
PCICLK(VTClock = 49.8MHz)	12.4MHz、16.6MHz、24.9MHz

2 - 2 物理仕様

寸法 :	67.60mm × 36.75mm
厚さ :	4.5mm
重量 :	9.5g
動作温度 :	0~50
保存温度 :	-20~70
動作環境 :	結露しないこと。

電源電圧 :	3.3V単一 (CPUコア電圧1.8V)
--------	-------------------------

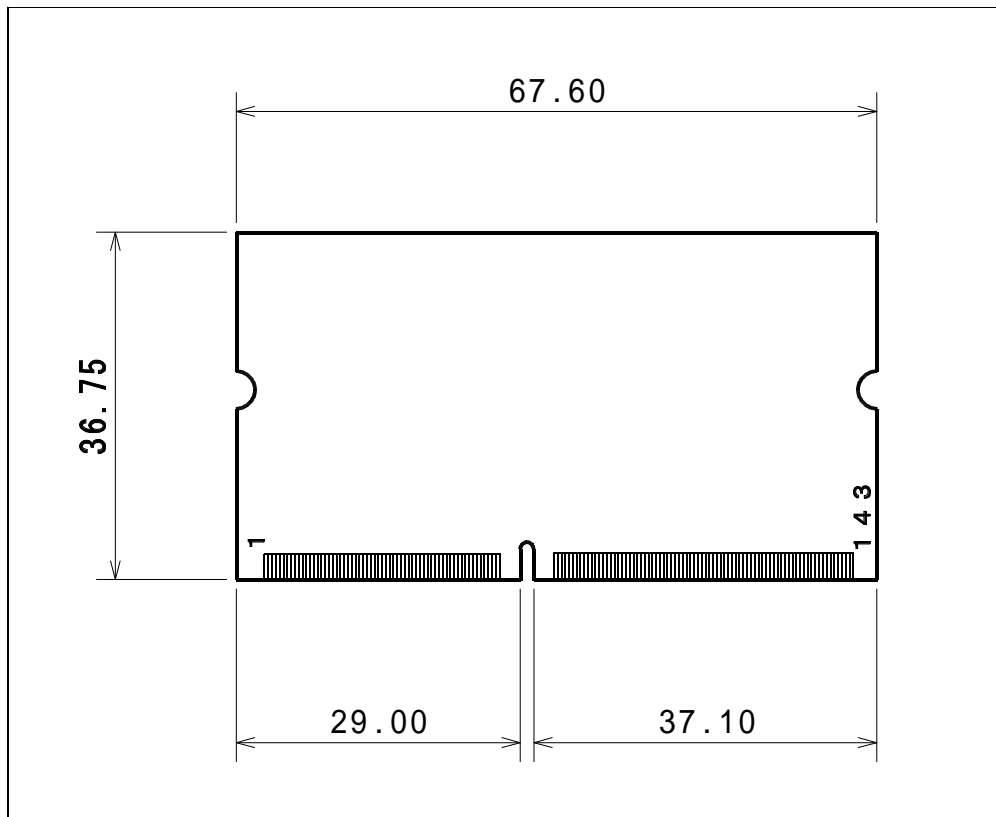
電源電流 :

動作時	200mA(MAX) 外部負荷 PCIバス、システムバス、SIO、CSI 各30pF GPIO全入力、LED消灯
-----	--

ハイバネーション時	2mA以下 RTC、SDRAMのみ動作
-----------	------------------------

3 外形

front side



端子位置は144 pin - S.O.DIMM (3.3Vタイプ) とコンパチブルです。
端子間隔は0.8mmです。

板厚 : 1mm
適合コネクタ : 54144 - 1440 (MOLEX)
TB0229は3.3V - S.O.DIMM用のコネクタを使用します。
エッジコネクタ処理 : 金フラッシュ

CPUが実装されている面がおもて面です。(ソケットに実装時、上側になります。)
エッジコネクタは、おもて面に奇数ピン、裏面に偶数ピンが割り振られています。

4 ピン番号

エッジコネクタのピン番号です。

ピン番号	信号名
1	VSS
2	VSS
3	GPIO3
4	GPIO2
5	GPIO13
6	GPIO8
7	ADD17
8	ADD16
9	ADD15
10	ADD14
11	RFU(VCC)
12	RFU(VCC)
13	ADD13
14	ADD12
15	ADD11
16	ADD10
17	ADD9
18	ADD8
19	ADD7
20	ADD6
21	VSS
22	VSS
23	ADD5
24	ADD4
25	ADD3
26	ADD2
27	VCC
28	VCC
29	ADD1
30	GPIO4

ピン番号	信号名
31	DQM1#
32	DQM0#
33	IORDY
34	GPIO6
35	VSS
36	VSS
37	RD#
38	WR#
39	IOCS1#
40	IOCS0#
41	DATA15
42	DATA14
43	DATA13
44	DATA12
45	VCC
46	VCC
47	DATA11
48	DATA10
49	DATA9
50	DATA8
51	DATA7
52	DATA6
53	DATA5
54	DATA4
55	VSS
56	VSS
57	DATA3
58	DATA2
59	DATA1
60	DATA0

ピン番号	信号名
61	CLK_RUN
62	PCICLK
63	VCC
64	VCC
65	AD31
66	AD30
67	AD29
68	AD28
69	AD27
70	AD26
71	AD25
72	AD24
73	AD23
74	AD22
75	VSS
76	VSS
77	AD21
78	AD20
79	AD19
80	AD18
81	VCC
82	VCC
83	AD17
84	AD16
85	AD15
86	AD14
87	AD13
88	AD12
89	AD11
90	AD10

ピン番号	信号名
91	VSS
92	VSS
93	AD9
94	AD8
95	AD7
96	AD6
97	AD5
98	AD4
99	AD3
100	AD2
101	VCC
102	VCC
103	AD1
104	AD0
105	CBE3
106	CBE2
107	VSS
108	VSS
109	CBE1
110	CBE0
111	DEVSEL#
112	FRAME#
113	IRDY#
114	LOCK#
115	PAR
116	PERR#
117	STOP#
118	SERR#
119	VSS
120	VSS

ピン番号	信号名
1 2 1	TRDY #
1 2 2	RST #
1 2 3	REQ 2 #
1 2 4	GNT 2 #
1 2 5	REQ 1 #
1 2 6	GNT 1 #
1 2 7	REQ 0 #
1 2 8	GNT 0 #
1 2 9	VCC
1 3 0	VCC
1 3 1	TxD
1 3 2	DDOUT
1 3 3	RxD
1 3 4	DDIN
1 3 5	BATTINT #
1 3 6	MPOWER
1 3 7	RSTSW #
1 3 8	POWER
1 3 9	VSS
1 4 0	VSS
1 4 1	RTCRST #
1 4 2	SECLK
1 4 3	SIN
1 4 4	SOUT

5 端子機能

信号を使用する場合の注意点のみ記載してあります。機能の詳細に関しては、CPUのマニュアルを参照してください。

信号の方向はモジュールを基点としています。モジュールから出力される信号を「出力」、モジュールに入力する信号を「入力」と記述しています。

プルアップ/プルダウン抵抗の値は、ハードウェアの条件により変化する場合があります。負荷等の要素を考慮して、抵抗値を決めてください。

信号	方向	機能
RTCRST#	入力	リセット信号入力ピンです。電源投入時にLレベルに駆動してください。
RSTSW#	入力	リセットスイッチ信号入力です。Lレベルに駆動すると、CPUをリセットすることができます。
POWER	出力	CPUの起動信号です。CPUが起動した時に、Hレベルに駆動されます。
BATTINT#	入力	CPUのBATTINT#/BATTINH#信号です。 CPUのマニュアルでは、バッテリーモニターフェースとして使用することが想定されていますが、バッテリーを使用しないアプリケーションでは、NMI入力ピンとして使用することができます。 この信号を使用しない場合は、モジュールの電源にプルアップしてください。BATTINT#ピンがLレベルになっていると、CPUが起動しません。
MPOWER	出力	CPUが動作している時にHレベルになります。ハイバネーションモード時にはLレベルになるため、MPOWER信号を使用して、バッテリーバックアップ時の電源制御を行うことができます。
SIN	入力	CSI（同期式シリアルインターフェース）のデータ入力ピンです。
SOUT	出力	CSIのデータ出力ピンです。
SECLK	出力	CSIのクロック出力ピンです。
TxD	出力	CPUのTxD/CLKSEL2信号です。SIU（シリアルインターフェース）のデータ出力ピンになっています。 このピンはCPUクロックの設定のために、100K でプルアップされています。（プルダウン処理はしないでください。）
RxD	入力	SIUのデータ入力ピンです。
DDOUT	出力	CPUのDDOUT/DBUS32信号です。DSIU（デバッグシリアルインターフェース）のデータ出力ピンになっています。 このピンはCPUバス幅を32ビットに設定するために、モジュールの電源にプルアップする必要があります。（100K 程度）
DDIN	入力	DSIUのデータ入力ピンです。

信号	方向	機能
GPIO _n	入力/ 出力	汎用入出力端子です。割り込み入力端子として使用することもできます。使用しないGPIO信号は出力に設定し、任意のレベルを出力してください。 GPIO ₂ 、 ₃ : 起動要因入力として使用することができます。 GPIO ₆ : CPUの"SYSDIR/GPIO ₆ "信号です。システムバス・データバスバッファの方向制御に使用することができます。 RTCリセットにより出力に設定(Lレベルに駆動)されることに注意してください。 GPIO ₁₃ : VrC4173の割り込み入力端子として使用することが推奨されています。
ADD _n	出力	システムバスのアドレス信号です。TB0229ではアドレス線を16本(ADD ₁ ~ADD ₁₇)出力しています。 リニアにアドレス可能な容量は256Kバイトです。(256K×2バンク) ADD _n 線はモジュール内メモリのアドレス信号と直結しているため、負荷やノイズに対して敏感になっています。そのため、ADD _n 信号には負荷低減のためのバッファを挿入することを推奨します。 外部の負荷が大きい場合、SDRAMのクロックを高くできない場合があります。 本モジュールはシステムバスを外部マスタに解放しません。外部からADD _n 線を駆動することはできません。
DAT _n	入力/ 出力	システムバスのデータ信号です。TB0229ではデータ線を16本のみサポートしています。そのためI/O空間のデータバス幅を16ビットに設定する必要があります。(BCUCNTREG3 ビット7=0) DAT _n 線はモジュール内メモリのデータ線と直結しています。メモリのデータバスは高速に動作しているため、モジュールと外部I/Oの間にバスバッファを挿入することが推奨されています。 アドレス線と同様に、外部の負荷が大きい場合、SDRAMのクロックを高く設定できない場合があります。 バスバッファの方向制御は"SYSDIR/GPIO ₆ "信号を使用するか、RD#、IOCS _n #信号から作成してください。 データ線のバイト指定はDQM _n 線を使用します。 I/O空間への3バイトアクセスは禁止されていることに注意してください。(アドレスエラー例外が発生します。) DAT _n 信号については、ピンがフローティングになることを防止するために、プルアップ処理を行ってください。(100K程度)
DQM ₀ #, DQM ₁ #	出力	システムバス データ線のバイト指定、及びアクセス幅指定に使用します。 DQM線はモジュール内のSDRAMインターフェースに直結し、高速に動作しているため、バッファを介さずに多数のデバイスを接続することはできません。(SDRAMのアクセスが不安定になることがあります。) DQM ₀ # : L、DQM ₁ # : L 16ビット幅アクセス DQM ₀ # : H、DQM ₁ # : L DATA ₀ ~7をアクセス DQM ₀ # : L、DQM ₁ # : H DATA ₈ ~15をアクセス DQM ₀ # : H、DQM ₁ # : H この組み合わせは発生しません。
IOCS ₀ #, IOCS ₁ #	入力	I/O領域をアクセスした場合、Lレベルにアサートされるチップ・セレクト信号です。 TB0229はCPUのアドレス線を全て出力していないため、I/O領域内のアクセスには、256Kバイト毎にイメージが発生します。 IOCS信号は、リセット時にHigh-Zになるため、プルアップすることを推奨します。

信号	方向	機能
IORDY	入力	I/O領域のアクセスに対するアクノリッジ信号です。 Lレベルに駆動することにより、アクセス時間を引き延ばすことができます。 アクセスタイムは、IOnSPEEDREG (BCU) の設定と、IORDY線の状態により制御されます。 この信号を使用しない場合は、モジュールの電源にプルアップしてください。 (100K 程度)
RD#	出力	リード・ストロープ信号です。 リセット時にHigh-Zとなるため、プルアップすることを推奨します。
WR#	出力	ライト・ストロープ信号です。 リセット時にHigh-Zとなるため、プルアップすることを推奨します。
ADn	入力/ 出力	PCIバスのアドレス/信号です。電圧レベルは3.3Vです。プルアップ/プル ダウン処理等はしないでください。 PCIバスを使用しない場合は、オープンにしてください。 ADn線は、PCIデバイス(スロット)のIDSEL信号としても使用されます。
CBE0, CBE1, CBE2, CBE3	出力	PCIバスのコマンド/バイトイネーブル線です。 ADn信号と同様に、プルアップ等の処理はしないでください。 PCIバスを使用しない場合は、オープンにしてください。
PCICLK	出力	PCIバスのバスクロックです。 クロックの周波数は、内部クロックから分周することができます。接続されるP CIデバイスに合わせて設定してください。
PAR	入力/ 出力	PCIバスのパリティです。 ADn信号と同じく、プルアップ処理等をしないでください。
FRAME	入力/ 出力	PCIバスのFRAME#信号です。 モジュールの電源にプルアップする必要があります。(2.4K 程度) PCIバスを使用しない場合も、100K 程度のプルアップ抵抗を付けてくだ さい。
IRDY#	入力/ 出力	PCIバスのIRDY#信号です。 モジュールの電源にプルアップする必要があります。(2.4K 程度) PCIバスを使用しない場合も、100K 程度のプルアップ抵抗を付けてくだ さい。
TRDY#	入力/ 出力	PCIバスのTRDY#信号です。 モジュールの電源にプルアップする必要があります。(2.4K 程度) PCIバスを使用しない場合も、100K 程度のプルアップ抵抗を付けてくだ さい。

信号	方向	機能
STOP#	入力 / 出力	P C IバスのSTOP#信号です。 モジュールの電源にプルアップする必要があります。(2 . 4 K 程度) P C Iバスを使用しない場合も、1 0 0 K 程度のプルアップ抵抗を付けてください。
LOCK#	入力 / 出力	P C IバスのLOCK#信号です。 モジュールの電源にプルアップする必要があります。(2 . 4 K 程度) P C Iバスを使用しない場合も、1 0 0 K 程度のプルアップ抵抗を付けてください。
SERR#	入力 / 出力	P C IバスのSERR#信号です。 モジュールの電源にプルアップする必要があります。(2 . 4 K 程度) P C Iバスを使用しない場合も、1 0 0 K 程度のプルアップ抵抗を付けてください。
PERR#	入力 / 出力	P C IバスのPERR#信号です。 モジュールの電源にプルアップする必要があります。(2 . 4 K 程度) P C Iバスを使用しない場合も、1 0 0 K 程度のプルアップ抵抗を付けてください。
DEVSEL#	入力 / 出力	P C IバスのDEVSEL#信号です。 モジュールの電源にプルアップする必要があります。(2 . 4 K 程度) P C Iバスを使用しない場合も、1 0 0 K 程度のプルアップ抵抗を付けてください。 V r 4 1 2 2はスペシャルサイクルをサポートしていません。
RST#	出力	P C IバスのRST#信号です。
CLK_RUN#	入力 / 出力	P C Iバスのクロック停止アービトレーションに使用される信号です。 バスに接続されているP C Iデバイスの全てが、CLK_RUN#信号(機能)をサポートしている場合にのみ、アービトレーションを行うことができます。
REQ0#, REQ1#, REQ2#	入力	P C IバスのREQ#信号です。 P C Iデバイス(スロット)のREQ#信号に接続します。 REQn#信号は、2 . 4 K 程度でモジュールの電源にプルアップする必要があります。 V r 4 1 2 2は、4リクエストのP C Iバスアービターを内蔵しているので、外部に3ヶまでのスロットを持つことができます。
ACK0#, ACK1#, ACK2#	出力	P C IバスのACK#信号です。 P C Iデバイス(スロット)のACK#信号に接続します。

信号	方向	機能
VCC		電源ピンです。 全てのVCC端子に3.3Vの安定化された電源を供給してください。 VCCピン2本につき、10 μ F程度のバイパスコンデンサを1ヶ付加することを推奨します。
VSS		GNDピンです。
RFU(VCC)		未使用ピンです。既存基板との互換を保つため、VCCに接続してください。

6 アドレスマップ

6 - 1

アドレスは物理アドレスです。

0x1FFF FFFF	フラッシュ・メモリ (バンク1)
0x1FC0 0000 0x1FBF FFFF	R F U
0x1800 0000 0x17FF FFFF	P C I 領域
0x1000 0000 0x0FFF FFFF	内部 I / O 領域
0x0F00 0000 0x0EFF FFFF	R F U
0x0C04 0000 0x0C03 FFFF	システムバス 領域1 (I O C S 1)
0x0C00 0000 0x0BFF FFFF	R F U
0x0A04 0000 0x0A03 FFFF	システムバス 領域2 (I O C S 0)
0x0A00 0000 0x09FF FFFF	R F U
0x0400 0000 0x03FF FFFF	S D R A M (バンク0)
0x0000 0000	

7 初期化 パラメータ

CPUは起動後にレジスタのイニシャライズを必要とします。
初期化パラメータはメモリのサイズやクロックにより変化します。また、アプリケーションによっては、パラメータを変更する必要があります。

7-1 コンフィグレジスタ CP0-16

リセット直後に設定してください。

下記の設定例は参考値です。必要により変更してください。

設定例

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IS		EC		EP				AD			M16				BP
1	RO	RO	RO	0	0	0	0	0	0	0	1	0	0	1	0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BE			CS	IC			DC			IB	DB			KO	
0	1	0	1	1	0	0	1	0	0	0	0	0	0	0	0

RO: READ ONLY

7-2 ステータスレジスタ CP0-12

下記の設定例は参考値です。必要により変更してください。

設定例

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
XX			CUO			RE	DME	DS							
0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				IM				KX	SX	UX	KSU		ERL	EXL	IE
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

7 - 3 BCU コントロールレジスタ1 0x0F000000

PAGESIZE : 00
PAGEROM2 : 0
PAGEROM1 : 0
ROMWEN2 : 0
ROMWENO : 0
HLDEN : 0

ページROMは使用していません。
フラッシュ・メモリ・アクセスは、アクセスタイムが長いので、フラッシュ・メモリに書き込みを行うときのみ「1」に設定してください。(通常0)
バスホールド機能は使用できません。(端子がコネクタに出力されていません。)

イニシャル時の書き込み値

BCUCNTREG1 = 0000-0000-0000-0000

7 - 4 BCU ROMサイズレジスタ 0x0F000004

SIZE3 : 001
SIZE2 : 001
SIZE1 : 001
SIZE0 : 001

ROM (フラッシュメモリ) の容量は4 Mバイトです。
バンク1にのみメモリが実装されていますが、他のバンクも同様に設定してください。
イメージの発生を許容できる場合は、4 Mバイト~ 6 4 Mバイトの任意の値に設定することができます。

イニシャル時の書き込み値

ROMSIZEREG = 0100-0100-0100-0100

7 - 5 ROM スピードレジスタ 0x0F000006

ROM4_WAIT : 11
ROM2_WAIT : 0001 (4 VTCLK)

ページROMは使用していません。そのため、ROM4_WAITの設定は意味を持ちません。

RTCリセット後、VTCLKは33.2 MHzに設定されます。
フラッシュメモリのアクセスタイムが90 nSなので、4 VTCLK以上に設定してください。
この値は、基板外部のデータバス、アドレスバスの負荷が大きい場合には、引き伸ばす必要があります。

VTCLKの周波数は変更することが可能です。VTCLKを変更する場合は、このレジスタの値も適切な値に設定してください。

イニシャル時の書き込み値

ROMSPEEDREG = 0011-0000-0000-0001

VTCLK = 99.5 MHzの場合
ROM2_WAIT = 0110

7 - 6 BCU コントロールレジスタ3 0x0F000016

```
EXT_ROMCS : 00
IO32      : 0
SYSDIR_EN : 0
LCDSEL1   : 0
LCDSELO   : 0
```

バンク3、バンク2は使用できません。
基板外部のI/O空間データバス幅は16ビットです。
GPIO6をSYSDIR_EN信号として使用する場合は、SYSDIR_ENビットを1に設定してください。設定例ではGPIO6をバッファの制御信号として使用していません。

イニシャル時の書き込み値
BCUCNTREG3 = 0000-0000-0000-0000

7 - 7 SDRAMU SDRAM・モード・レジスタ 0x0F000400

SDRAMUの設定が完了するまで、RAMを使用することはできません。

```
SCLK      : 1
LTMODE    : 011
WT        : 1
BL        : 001
```

SDRAMの仕様から、CASのレーテンシは3に設定します。

イニシャル時の書き込み値
BCUCNTREG3 = 1000-0000-0011-1001

7 - 8 SDRAMU SDRAM・コントロール・レジスタ 0x0F000402

SDRAMUの設定が完了するまで、RAMを使用することはできません。
VTCCLKの周波数を変更した場合は、このレジスタの値も再設定する必要があります。

```
TRC       : 1
TDAL      : 010
WT        : 1
BL        : 001
```

SDRAMの仕様から、バンクアクティブ/リフレッシュ -> バンクアクティブ/リフレッシュ間隔は68nsなので、TRCは3VTCCLK以上に設定してください。

SDRAMの仕様から、プリチャージ - アクティブコマンド間隔が20nsなので、TDALは2VTCCLK以上に設定してください。

SDRAMの仕様から、アクティブ - READ/WRITEコマンド遅れ時間が20nsなので、TRCDは2VTCCLK以上に設定してください。

イニシャル時の書き込み値
SDRAMCNTREG = 0010-0011-0010-0010

VTCCLK = 99.5MHzの場合
SDRAMCNTREG = 0010-0110-0011-0011

7 - 9 SDRAMU BCU リフレッシュ・コントロール・レジスタ 0x0F000404

SDRAMUの設定が完了するまで、RAMを使用することはできません。
VTCLKの周波数を変更した場合は、このレジスタの値も再設定する必要があります。

BRF : 206

SDRAMの仕様から、リフレッシュは4096 / 64msです。
VTCLKの周期(初期値)が33.2nsなので、リフレッシュ間隔は518VTCLK以下となります。

イニシャル時の書き込み値

BCURFCNTREG = 0000-0001-0000-0110

VTCLK = 99.5MHzの場合
BCURFCNTREG = 0000-0110-0001-1101

7 - 10 SDRAMU RAM・サイズ・レジスタ 0x0F000408

SDRAMUの設定が完了するまで、RAMを使用することはできません。

SIZE3 : 101
SIZE2 : 101
SIZE1 : 101
SIZE0 : 101

SDRAMはバンク0にのみ実装されています。
SDRAMの容量は64Mバイトです。

イニシャル時の書き込み値

SDRAMCNTREG = 0101-0101-0101-0101

7 - 11 CMU クロックマスクレジスタ・レジスタ 0x0F000060

MSKPCIU : 1
MSKSCSI : 1
MSKDSIU : 1
MSKFFIR : 0
MSKSSIU : 1
MSKPCSI : 1
MSKPFIR : 1
MSKPSIU : 1

設定例ではTB0229で使用可能なI/Oに全てクロックを供給しています。
消費電流を考慮し、制御してください。なお、クロックが停止しているユニットは作動しません。

イニシャル時の書き込み値

SDRAMCNTREG = 0011-1001-0110-0010

7 - 12 PMU PMU・コントロール・レジスタ 0x0F0000C2

GP10nMSK : 0
GP10nTRG : 0
PLLOFFEN : 0
HALTIMERRST : 1

CPU起動後は4秒以内にHALTIMERをリセットしてください。

イニシャル時の書き込み値

SDRAMNTREG = 0000-0000-0000-0110